

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-275870
 (43)Date of publication of application : 30.09.1994

(51)Int.Cl.

H01L 33/00
 H01L 31/0232
 H01S 3/18
 H04B 10/02

(21)Application number : 05-065559
 (22)Date of filing : 24.03.1993

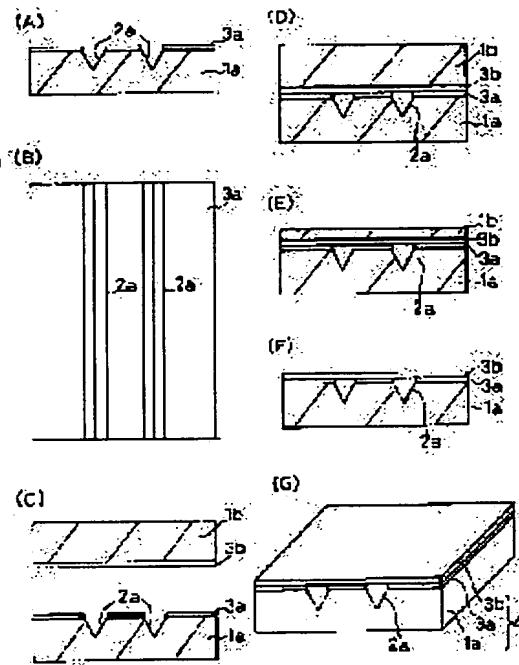
(71)Applicant : FUJITSU LTD
 (72)Inventor : TABUCHI HARUHIKO

(54) MANUFACTURE OF OPTICAL COUPLING MEMBER AND MEMBER FOR OPTICAL COUPLING

(57)Abstract:

PURPOSE: To enhance the accuracy of photolithography when a bonding pad and an optical waveguide are formed on the surface by a method wherein the surface of a substrate having a groove is covered with a flat boardlike member.

CONSTITUTION: An Si substrate on which an SiO₂ film 3b has been formed by a thermal oxidation operation is prepared, it is overlapped with the surface of an SiO₂ film 3a on another Si substrate in which V-grooves 2a have been formed, this assembly is heated at about 800° C and the SiO₂ films 3a, 3b are bonded firmly. The surface of the Si substrate 1b is polished by using an abrasive, the Si substrate 1b is made thin, and the Si substrate 1b is etched and removed by using KOH. When it is etched, the V-groove holes 2a are filled with wax or the like, the wax is then removed, and a substrate material 4 is formed. Thereby, when a bonding pad or the like is patterned on the substrate 1a having the grooves, the V-grooves are filled, the surface is made flat and a photo-resist can be coated uniformly. As a result, the position of the bonding pad or the like can be formed with high accuracy.



LEGAL STATUS

[Date of request for examination] 16.04.1999
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3484543
 [Date of registration] 24.10.2003
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-275870

(43)公開日 平成6年(1994)9月30日

(51)Int.CI.⁵

H01L 33/00

31/0232

H01S 3/18

H04B 10/02

識別記号

府内整理番号

M 7376-4M

F I

技術表示箇所

7210-4M

H01L 31/02

C

審査請求 未請求 請求項の数 46 O L (全35頁) 最終頁に続く

(21)出願番号

特願平5-65559

(71)出願人 000005223

富士通株式会社

(22)出願日

平成5年(1993)3月24日

神奈川県川崎市中原区上小田中1015番地

(72)発明者 田淵 晴彦

神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

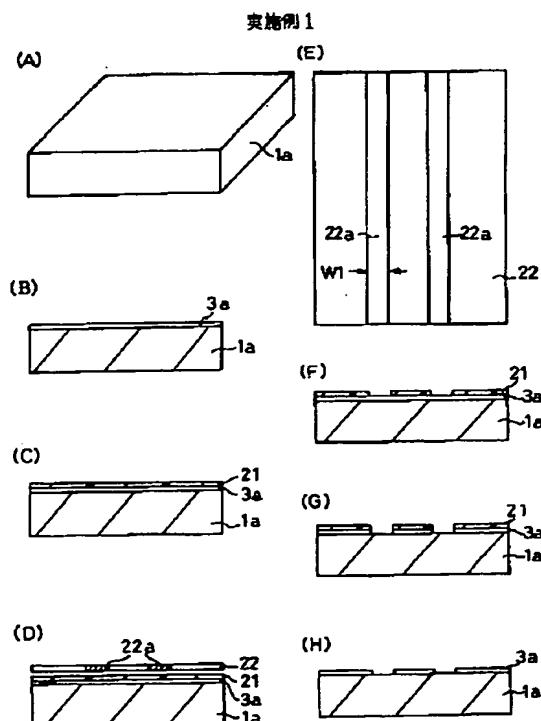
(74)代理人 弁理士 高橋 敬四郎

(54)【発明の名称】光結合部材の製造方法および光結合用部材

(57)【要約】

【目的】光学部品、光ファイバおよび電子部品の実装技術に関し、基板上に光学部品を形成したり、チップをボンディングする時に発生する、光ファイバの位置合わせを行なう溝を有することに起因する諸問題を解消し、製造工程の容易化および集積化されるチップの高精度のボンディングを可能とする集積化光装置の製造方法を提供することを目的とする。

【構成】下地基板表面に光ファイバ位置決め用の溝を形成する溝形成工程と、前記溝を有する下地基板表面を平坦化する平坦化工程と、前記平坦化した表面上に光学部品を位置決めする位置決め工程と、前記溝を再度露出する露出工程と、露出した溝に光ファイバを位置決めする光ファイバ実装工程とを含む。



【特許請求の範囲】

【請求項1】 下地基板(1a)表面に光ファイバ位置決め用の溝(2a)を形成する溝形成工程と、前記溝を有する下地基板表面を平坦化する平坦化工程と、前記平坦化した表面上に光学部品を位置決めする位置決め工程と、前記溝を再度露出する露出工程と、

露出した溝に光ファイバを位置決めする光ファイバ実装工程とを含む光結合部材の製造方法。

【請求項2】 前記平坦化工程は、前記下地基板とは異なる材料で形成された平板状部材を前記溝を形成した下地基板表面上に溝を覆って貼り合わせる工程を含む請求項1記載の光結合部材の製造方法。

【請求項3】 前記溝が前記下地基板の面内の制限された領域内に形成され、前記平板状部材によって密閉される請求項2記載の光結合部材の製造方法。

【請求項4】 前記平板状部材が透明誘電体であり、前記位置決め工程が、透明誘電体を通して前記溝あるいは前記溝と同時に形成された位置合わせマークをモニタしつつ行なわれる請求項2ないし3記載の光結合部材の製造方法。

【請求項5】 前記平坦化工程に、表面に透明誘電体膜を形成した半導体基板を、前記溝を有する下地基板表面上に貼り合わせる工程を含み、しかも、前記透明誘電体膜が前記溝を有する下地基板表面に接するように貼り合わせることを特徴とする請求項2ないし3記載の光結合部材の製造方法。

【請求項6】 前記平坦化工程が、さらに前記半導体基板を除去する工程を含む請求項5記載の光結合部材の製造方法。

【請求項7】 前記平坦化工程が、さらに前記半導体基板を研磨して薄くする工程を含む請求項5記載の光結合部材の製造方法。

【請求項8】 さらに、前記薄くした半導体基板に半導体素子を形成する工程を含む請求項7記載の光結合部材の製造方法。

【請求項9】 前記位置決め工程が、前記平板状部材上に、前記溝と位置合わせして半田濡れ性のある導電パターンを形成する工程を含む請求項2～8のいずれかに記載の光結合部材の製造方法。

【請求項10】 前記位置決め工程が、さらに前記半田濡れ性のある導電パターン上に光電子部品をフリップチップボンディングする工程を含む請求項9記載の光結合部材の製造方法。

【請求項11】 前記位置決め工程が、前記平板状部材上に、前記溝と位置合わせて光導波路を形成する工程を含む請求項2～9のいずれかに記載の光結合部材の製造方法。

【請求項12】 前記導波路を形成する工程が屈折率の

異なる高分子材料を積層する工程を含む請求項11記載の光結合部材の製造方法。

【請求項13】 前記導波路を形成する工程が屈折率の異なる無機材料を積層する工程を含む請求項11記載の光結合部材の製造方法。

【請求項14】 前記無機材料を積層する工程がSiO₂膜を形成する工程と、その上にGeを含むSiO₂膜を形成する工程と、Geを含むSiO₂膜をパターニングする工程と、その上にSiO₂膜を形成する工程と、

10 熱処理によってこれらのSiO₂膜をガラス化する工程とを含む請求項13記載の光結合部材の製造方法。

【請求項15】 前記下地基板がSi基板であり、前記溝形成工程が異方性エッチャングによってV溝またはU溝を形成する工程を含む請求項1～14のいずれかに記載の光結合部材の製造方法。

【請求項16】 前記下地基板がセラミクスで形成され、前記溝形成工程が下地基板表面をカッタで研削する工程を含み、前記平坦化工程が溝を多結晶半導体で埋める工程を含む請求項1記載の光結合部材の製造方法。

20 【請求項17】 さらに、前記平坦化工程が前記多結晶半導体を研磨する工程を含む請求項16記載の光結合部材の製造方法。

【請求項18】 下地基板(1a)表面に、端部に長さ方向に対して傾いた反射面を有し、光ファイバを収容できる溝(2a)を形成する溝形成工程と、

前記下地基板とは異なる材料で形成された平板状部材を前記溝を形成した下地基板表面上に溝を覆って貼り合わせ、前記溝を有する下地基板表面を平坦化する平坦化工程と、

30 前記平坦化した表面上に光学部品を位置決めする位置決め工程と、

溝内に光ファイバを位置決めする光ファイバ実装工程とを含む光結合部材の製造方法。

【請求項19】 前記下地基板がSi基板であり、前記溝形成工程が異方性エッチャング工程を含む請求項18記載の光結合部材の製造方法。

【請求項20】 前記溝が前記下地基板の面内の制限された領域内に形成され、前記平板状部材によって密閉される請求項19記載の光結合部材の製造方法。

40 【請求項21】 前記平板状部材が透明誘電体であり、前記位置決め工程が透明誘電体を通して前記溝あるいは前記溝と同時に形成された位置合わせマークをモニタしつつ行なわれる請求項19ないし20記載の光結合部材の製造方法。

【請求項22】 前記平坦化工程が、表面に透明誘電体膜を形成した半導体基板を前記透明誘電体膜が前記溝を有する下地基板表面と接するように貼り合わせる工程を含む請求項19ないし20記載の光結合部材の製造方法。

50 【請求項23】 前記平坦化工程が、さらに前記半導体

基板を除去する工程を含む請求項22記載の光結合部材の製造方法。

【請求項24】前記平坦化工程が、さらに前記半導体基板を研磨して薄くする工程を含む請求項22記載の光結合部材の製造方法。

【請求項25】さらに、前記薄くした半導体基板に半導体素子を形成する工程を含む請求項24記載の光結合部材の製造方法。

【請求項26】前記位置決め工程が、前記平板状部材上に、前記溝と位置合わせて半田濡れ性のある導電バターンを形成する工程を含む請求項19～25のいずれかに記載の光結合部材の製造方法。

【請求項27】前記位置決め工程が、さらに前記半田濡れ性のある導電バターン上に光電子部品をフリップチップボンディングする工程を含む請求項26記載の光結合部材の製造方法。

【請求項28】前記位置合わせ工程が前記平板状部材上にレンズを形成する工程を含む請求項18～20のいずれかに記載の光結合部材の製造方法。

【請求項29】前記レンズが有機高分子材料で形成される請求項28記載の光結合部材の製造方法。

【請求項30】前記レンズが半導体で形成される請求項28記載の光結合部材の製造方法。

【請求項31】前記溝形成工程がSiウエハに複数の溝を形成する工程を含み、前記平坦化工程が前記Siウエハ全面に対して一度に行なわれる請求項18記載の光結合部材の製造方法。

【請求項32】前記平板状部材が表面にSiO₂膜を形成したSi基板である請求項31記載の光結合部材の製造方法。

【請求項33】前記平板状部材がガラス基板である請求項31記載の光結合部材の製造方法。

【請求項34】表面に光ファイバ位置決め用溝を有する下地基板と、前記下地基板の溝を有する表面を囲って溝が空洞になるように配置され、平坦な表面を有する平板状部材とを有する光結合用部材。

【請求項35】前記平板状部材が光ファイバを透過する光に対して透明である請求項34記載の光結合用部材。

【請求項36】前記平板状部材が誘電体層と半導体層との積層を含む請求項34記載の光結合用部材。

【請求項37】前記下地基板が、溝端部に光ファイバから発する光を上方に反射する反射面を有する請求項34～36のいずれかに記載の光結合用部材。

【請求項38】さらに、前記平板状部材上に配置されたレンズを有する請求項34～37のいずれかに記載の光結合用部材。

【請求項39】さらに、前記平板状部材上に配置されたガラス板を有する請求項34～37のいずれかに記載

の光結合用部材。

【請求項40】さらに、前記ガラス板表面に配置されたレンズを含む請求項39記載の光結合用部材。

【請求項41】前記下地基板が表面から約45度傾いた(111)面を示す面方位を有し、前記反射面が表面から約45度傾いた(111)面を用いて形成されている請求項37記載の光結合用部材。

【請求項42】前記溝が光ファイバを収容するのに適した寸法を有する請求項34～41のいずれかに記載の光結合用部材。

【請求項43】前記下地基板がセラミクスで形成され、さらにその表面に形成されたマイクロストリップ線路を有する請求項34～36のいずれかに記載の光結合用部材。

【請求項44】前記下地基板がSi基板であり、前記溝形成工程が異方性エッチングによってV溝を形成する工程であり、

前記平坦化工程が、V溝の側面を含む表面に熱酸化膜を形成した後、V溝をポリシリコンで埋め込み、その後Si基板の平坦部分の熱酸化膜が露出するまで表面を平坦に研磨する工程を含む請求項1に記載の光結合部材の製造方法。

【請求項45】前記位置決め工程が、平坦化工程を終了した光結合用部材の表面に、その表面でのホトリソグラフィプロセスで行なうことのできる全ての加工を行なう工程を含み、前記露出工程は、その後V溝に埋め込まれたポリシリコンを除去する工程を含む請求項44に記載の光結合部材の製造方法。

【請求項46】前記位置決め工程が、平坦化工程を終了した光結合用部材の表面に、その表面でのホトリソグラフィプロセスで行なうことのできる全ての加工を行なう工程を含み、前記露出工程は、その後V溝表面を覆う平板状部材を除去する工程を含む請求項2に記載の光結合部材の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、光学部品、光ファイバおよび電子部品の実装技術に関する。光通信システムにおいては、信号を送信する側の発光素子と信号を受信する側の光電変換素子を光ファイバで接続して情報通信を行なう。ところで、現在使用されている発光素子や光電変換素子と光ファイバを使用すると、発光素子と光ファイバあるいは光電変換素子と光ファイバを接続する際に、光軸の位置ずれを数μm以下に抑える必要がある。

【0002】従来は、発光素子を発光状態にしておき、発光素子と光ファイバを微動ステージに搭載し、しかも、光ファイバのもう一方の端から出力される光強度を測定しながら光軸の微調整を行ない、ファイバから出力される光強度が最大になるように位置合わせしていた。

【0003】さらに、位置合わせ後の発光素子と光ファ

イバの固定に、接着剤による固定、半田による固定、レーザ溶接による固定等が用いられていた。発光素子や光電変換素子とファイバの位置合わせには、直交する3軸方向（いわゆるX, Y, Z方向）の他に、発光素子や光電変換素子と光ファイバの光軸の傾きがある。この光軸の傾きについても、最低でも水平と垂直の2軸があるため、合計では最低でも5軸の微調整が必要される。

【0004】さらに、発光素子に電流を流して発光状態にする必要があるため、予めリード線の付いた金属プロック等に実装した後、光軸合わせを行なわなければならぬ。

【0005】このため、従来の発光素子と光ファイバの接続においては、発光素子や光電変換素子と光ファイバとの接続構造の大型化、接続構造に必要な部品点数の増加による材料費の増加、精密な多軸光軸調整装置の製造費用の増加、多軸の光軸調整に時間がかかることによる接続費用の増加等があり、発光素子あるいは光電変換素子と光ファイバを接続した部品が高価になっていた。

【0006】さらに、一旦光軸調整が行なわれても、発光素子と光ファイバを接着剤や半田やレーザ溶接で固定する際に、両者を位置決めしている構造材料に熱が加えられて熱膨張が起り、光軸がずれてしまう場合がある。

【0007】このため、従来の実装技術を用いると、発光素子あるいは光電変換素子と光ファイバが良好に接続される頻度が低下し、良好な接続を実現するために膨大な費用がかかるという問題があった。

【0008】従来のように、光通信システムを電話回線の幹線系に使用する場合には、発光素子や光電変換素子とファイバの接続にかかる費用はシステムの経済性を損なうほどの大きな問題にはならなかった。

【0009】しかし、今後、加入者系の電話回線に経済性の高い光通信システムを導入してゆくためには、この接続費用の問題を解決することが不可欠になっている。このような問題を解決する手段として、発光素子や光電変換素子と光ファイバを無調整で接続する技術が求められている。

【0010】

【従来の技術】光ファイバ位置合わせ溝が形成される基板上に光導波路等の光学部品を形成したり、あるいは光半導体装置や半導体集積回路などの半導体チップをボンディングすることで、装置の集積化を図る技術が研究されている。

【0011】しかし、溝が形成された基板の表面に光学部品（たとえば光導波路）を形成する場合、溝形成後の工程で、基板表面に形成された光学部品を構成する層のパターニング工程が困難になるという問題がある。

【0012】例えば、溝が形成された基板の表面にチップをボンディングするためのボンディングパッドを形成すると、ボンディングパッドの位置を高精度に形成する

ことができず、特に光半導体チップの光軸が所定の位置からずれるという問題がある。

【0013】以下に、ファイバ固定用のV溝をもつ光学部品の実装基板として、平坦な表面をSiO₂などの誘電体で被覆した(100)面Si基板を用いる方法について、図39、40を参照して説明する。

【0014】図39は、光ファイバと光学部品のみを実装する基板の製造方法を示すものである。以下の工程では左右に2、前後に1の2個分に相当する実装基板の加工工程を示している。

【0015】なお、本発明の基板の構造および加工方法に関しては、光集積回路上の光ファイバの後方に光半導体素子が配置される場合と、光集積回路上の光ファイバの後方に光導波路が配置される場合と、さらに光集積回路上の光ファイバの後方に光半導体素子と光導波路の両方が配置される場合の3つの場合があるので、以下に光ファイバの後方に光学部品が配置される場合、光ファイバの後方に光導波路が配置される場合、光ファイバの後方に光導波路と光学部品の両方がこの順序で配置される場合について説明する。

【0016】図39の従来例では、光ファイバと光学部品、具体的には光ファイバとエッジ光入射形ホトダイオードあるいは光ファイバと半導体レーザを実装する場合の基板の構造と基板の加工方法について説明する。

【0017】まず、(100)面Si基板1aを準備し、Si基板1a上にSiO₂膜3aを形成する(図39(A))。ホトリソグラフィにより、SiO₂膜3aにエッチング用窓3wを形成する(図39(B))。

【0018】次に、KOH(水酸化カリウム)水溶液で

Si基板1aを異方性エッチングして(111)側面を有するV溝2aを形成する(図39(C))。次に、V溝の後方のSiO₂膜3a上に光学部品をボンディングするためのパッド5や配線5bを形成して、光学部品を実装するための基板(図40(A))を形成する。図40(B)は、図40(A)の部分断面図である。

【0019】以上が従来の実装基板と基板加工の例であるが、しかしこのように平坦な表面をもつSi基板1a、SiO₂膜3aなどの誘電体で被覆した基板を使用して、従来のプロセスでV溝2a形成とボンディングパッド5などの形成を行なう場合には、以下のような問題がある。

【0020】第1に、光学部品をボンディングするためのボンディングパッド5と対向するV溝2aの先端部分2bの溝壁が斜めに立上がりてくる欠点がある。図41(A)は実装基板の斜視図、図41(B)は図41(A)をEの方向から見た場合のV溝2aの先端部分のみを拡大したものである。ここで8は光ファイバ7から放射される光束、61は光学部品6に形成されたボンディングパッド、62は光学的活性部である。

【0021】このように、面2bが斜めになると、V溝

2 aにはめ込んだ光ファイバ7の下端が斜面2 bに接するため、光ファイバ端を光学部品6に近づけることが困難になる。すなわち、図41(B)に示したZが大きくなる。そのため、光結合損失が大きくなる。

【0022】第2に、SiO₂膜3aの厚さを厚くできないため、配線の静電容量が大きくなり、応答速度が低下する問題がある。配線はSiO₂膜3a上に行われる所以、静電容量を低下させるためには、SiO₂膜3aはできるだけ厚い方がよい。

【0023】しかし、SiO₂膜3aは、エッチングマスクとしても使用されるため、V溝エッチングの際に溝幅の精度を向上させるためには、できるだけ薄く形成するのが好ましい。そのため、配線の静電容量を小さくすることは困難である。

【0024】次に、図42を参照して光ファイバの後方に光導波路を配置する場合の基板の加工方法を説明する。たとえば、図42(A)に示すように、Si基板1a上にSiO₂で構成されたコア42aとコアを取り囲むクラッド41a、43aを有する矩形SiO₂導波路などを形成する。

【0025】SiO₂のコア42aに沿った矩形状の一部を図42(B)に示すようにSi基板に達するまで除去する。その後、図42(C)に示すように、Si基板をエッチングして(111)面の側壁を持つV溝を形成する。

【0026】図42に示す構造で、光ファイバとの結合効率の高いシングルモード導波路を実現しようすると、SiO₂膜41a、43aの厚さの和は、20μm程度になる。このような厚い膜にV溝を形成するための窓を形成すると、V溝の寸法精度が悪くなりやすい欠点がある。

【0027】次に、図43を参照してV溝が形成された基板に有機高分子材料をコーティングし、エッチングして導波路を形成する方法について説明する。図43(A)に示すように、SiO₂膜3aをマスクにしてSi基板1aにV溝2aを形成する。次に、下側のクラッド層になる高分子樹脂41とコア層になる高分子樹脂42を塗布ベーリングする(図示せず)。

【0028】そして、コア層になる高分子樹脂42上にストライプ状のマスクを形成し、酸素プラズマなどでマスクのない部分のコア層になる高分子樹脂42を除去する(図示せず)。そして、上側クラッド層になる高分子樹脂43を塗布する。この結果形成された導波路構造が図43(B)に示すものである。

【0029】次に、再び高分子樹脂43の表面の奥側にマスクを形成し、酸素プラズマで処理して図43(C)のような構造を形成する。しかし、この方法では図43(B)に示すように、V溝2a中に高分子樹脂41が入り込んでしまう。125μmのクラッド径をもつファイバを固定するには約100μmの深さのV溝が形成され

るため、V溝に入り込んだ高分子樹脂41を除去することも非常に難しくなる欠点がある。

【0030】V溝に有機高分子材料が入り込むことを防止するために、図42に示すように、導波路を形成後V溝を形成する方法も考えられるが、有機高分子材料は、SiにV溝を形成する際に使用するKOH水溶液に侵されるため、この方法を用いることは不可能である。

【0031】たとえ、KOH水溶液に侵されない材料を使用する場合でも、溝の精度の悪化や光結合効率の悪化が生じることは、図42の従来例で既に説明したとおりである。

【0032】さらに、第1の問題点を解決する方法として、特開平1-94305号および特開平1-126608号で開示されている技術がある。特開平1-94305号の開示技術は、基板を両面からエッチングするものであるため、比較的薄い基板を使用しなければならないという基板の厚さの制限を受ける欠点がある。また、貫通穴とV溝を同時にエッチングするので、V溝の幅や深さの制御が難しくなり、精度が悪化する欠点がある。

【0033】特開平1-126608号では、ドライエッチングやマイクロラッピングなどの機械研削加工による溝形の技術が開示されているが、ドライエッチングは加工速度が遅い、このような深い溝形成に適したマスクの作製が困難、という欠点を有する。

【0034】機械研削加工によって垂直な壁面を持つ溝を加工する方法を用いる場合には、既にV溝などが形成された基板上にV溝との位置関係を精度よく規定して溝加工を行なう必要があるため、エッチング法に比べて精度を出すことが困難であるなどの欠点を有する。

【0035】第2の問題点を解決するために、配線の静電容量を低減させる手段として、配線部分に感光性ポリイミド膜を形成することなどが考えられる。しかし、ファイバの固定に用いるような比較的深いV溝を形成後、感光性ポリイミドなどを塗布すると、現像処理によってV溝中の感光性ポリイミドなどを除去することがほとんど不可能となる。このため、配線部分のみに感光性ポリイミド膜を形成することはできない。

【0036】光ファイバと光学部品を光学的に結合させるための比較的組立が容易で、小型化と薄型化が期待される技術として、特開平2-9183号がある。これは、SiのV溝の先端の斜面による光の反射を利用する組立技術である。しかし、この方法においても前述の問題点と同じように、V溝周辺でホトレジストが盛り上がりてしまい、マスクの位置が目的に位置から大きくずれるなどの問題点がある。

【0037】さらに、V溝を形成する際に、エッチング用マスクとして厚いSiO₂膜を使用するとV溝の寸法精度が悪くなり、逆に薄くすると配線の静電容量が大きくなってしまって周波数特性が悪化する。

【0038】またこの方法では、V溝を形成したSi基

板上に光学部品を組み込んだ基板を接着剤を使用して貼り合わせる工程があるが、接着剤がV溝先端部などに気泡と共に入り込み、結合効率が著しく低下すること、光学部品の位置精度が悪いため、ウエハスケールでの位置合わせが困難であることなどの問題点がある。

【0039】次に、図39、図40、図41、図42、図43に示す従来の技術を使用して、光ファイバと光導波路と半導体レーザ等の光学部品の3つを実装する場合の問題点について説明する。

【0040】既に説明したように、導波路とV溝をひとつの基板上に形成する際、導波路に有機高分子を使用すると、V溝に入り込んだ有機高分子の除去が困難になる。一方、SiO₂導波路を使用すると、精度が悪くなることによる光結合特性の悪化を許容すれば、V溝と導波路をひとつの基板上に形成することが可能になる。

【0041】しかし、光ファイバ（すなわちV溝）と光導波路と光学部品用のポンディングパッドの3者を形成する場合には、次のような新たな問題を生じる。SiO₂導波路の形成には、基板上に堆積した多孔質状のSiO₂を1000℃以上に加熱してガラス化する工程が含まれる。そのため、導波路を形成した後にポンディングパッドを形成しなければならない。

【0042】ポンディングパッドの形成プロセスには、ホトレジストをスピニングコーティングする工程が含まれる。一方、シングルモードファイバとの結合が容易で、伝搬損失が小さい導波路の厚さは40μm以上になる。そのため、導波路を形成後にポンディングパッド形成プロセスを行なうと、ホトレジストをコーティングしたときに、図44に示すように導波路41a、42a、43aの先端部にホトレジスト21が詰まってしまう。

【0043】そのため、導波路に接近した部分にポンディングパッドを形成することが困難になる問題がある。このような問題のため、従来は光ファイバと光導波路と半導体レーザ等の光学部品の3者の無調整実装は行なわれなかった。

【0044】

【発明が解決しようとする課題】前述のように、光ファイバ固定用のV溝を有する基板上で光ファイバと光半導体デバイス等の光学部品、あるいは光ファイバと導波路、あるいは光ファイバと導波路と光半導体デバイス等の光学部品とを光学的に結合する方法において、基板がV溝を有すること、あるいは導波路を形成した後にKOH水溶液を使用してV溝を形成することに起因する諸問題が生じる。

【0045】たとえば、光ファイバ固定用のV溝のみを有する基板上に、光半導体デバイス等の光学部品をフリップチップポンディングするためのポンディングパッドを形成しようとしても、高い位置決め精度と精密な転写形状を持つポンディングパッドを形成できないという問題がある。

【0046】これは、V溝を形成した基板の表面にホトレジストを塗布した際に、溝の周辺のホトレジストが盛り上がり、マスク合わせを行なう際のマスクの密着性が悪くなることと、露光、現像の工程で、他の領域との間に条件差が生じることに起因している。

【0047】この問題を解決するためには、V溝の周辺でホトレジストが盛り上がるのを防止する必要がある。また、光ファイバと光導波路の光結合を行なうために、有機高分子導波路付きの基板にV溝を形成することは困難であり、SiO₂導波路付き基板にV溝を形成しようとすると、V溝の幅と深さの精度が悪くなる問題がある。

【0048】逆に、V溝付きの基板に導波路を形成すると、V溝に入り込んだ導波路材料を除去することが困難になる問題がある。また、ひとつの基板上に、光ファイバ固定用のV溝と光導波路と光半導体デバイス等の光学部品をフリップチップポンディングするためのポンディングパッドの3者を組み込む場合には、次のような新たな問題が生じる。

【0049】有機高分子導波路を使用できないので、V溝精度のある程度の悪化を許容して、SiO₂導波路を使用すると、新たにポンディングパッドの位置を導波路先端に接近させることができ難しくなると共に、ポンディングパッドのプロセス精度が悪くなる問題を生じる。

【0050】次に、V溝先端の斜面による光の反射を利用して光結合する組立技術においては、上記のような問題の他に、V溝を形成したSi基板上に光学部品を組み込んだ基板を接着剤を使用して貼り合わせる際に、接着剤が気泡等と共にV溝先端部分等に入り込み、光結合特性を著しく低下させる問題もある。

【0051】本発明の目的は、基板上にV溝が存在することにより生じる上記の諸問題を解決するための集積化光装置の構造と製造方法を提供することである。

【0052】

【課題を解決するための手段】本発明は、溝が形成された基板表面に光学部品を構成する層を積層するか、あるいはバーニングのためのホトレジストを形成する工程を含む光集積化装置の製造方法において、この工程に先立ち、第1の手段として平板状部材をもって溝を有する基板表面を覆う工程、または第2の手段として充填部材を溝の内部に充填することで溝の表面を平坦化する工程を有することを特徴とする。

【0053】

【作用】上記第1あるいは第2の手段によれば、溝が形成された基板の表面が平坦化されるため、溝の内部に光学部品を構成する材料が侵入したり、あるいはホトレジストを塗布した際に溝周辺における表面張力による膜厚の不均一が生じることがなくなる。

【0054】なお、第2の手段で採用された充填部材は、後の工程で光ファイバを収容するための溝が露出す

11

るよう除去されるが、一方、第1の手段で採用された平板状部材は、その後の工程で溝が露出するように除去してもよいし、そのまま残してもよい。

【0055】また、この平板状部材は溝の表面を平坦化する他に、種々の活用法があるが、これについては以下の実施例で明らかにする。

【0056】

【実施例】溝を有する基板表面を平板状部材で覆う第1の手段を用いた実施例1について、図1～8を参照して説明する。

【0057】本実施例の1の説明では、左右に2、前後に1の2個分に相当する実装基板の加工工程を示しているが、実際にはこのような基板チップが前後、左右に繰り返されている。

【0058】図1(A)は、厚さ400μmの(100)面Si基板1aである。Si基板1aの表面に熱酸化で300nmのSiO_x膜3aを形成する(図1(B))。SiO_x膜の代りにSiN膜を使用してもよい。続いて、スピンドルコーティングで厚さ200nmのネガ型ホトレジスト膜21を形成し、200°Cでベーリングする(図1(C))。

【0059】ガラス表面にクロム22aでパターンが形成されたマスク22を使用して紫外線露光する(図1(D))。マスクのパターンは図1(E)に示す通りである。なお、図1(E)とは黒と白が反転したマスクを使用し、レジストにポジ型レジストを使用してもよい。ここでマスクのストライプの幅W1は136μmである。

【0060】レジストの現像を行なう(図1(F))。ホトレジストをマスクにしてバッファード沸騰水素酸でSiO_x膜3aをエッチングする(図1(G))。エッチング後のSiO_xが除去された窓の開口幅は139μmである。ホトレジストを除去する(図1(H))。

【0061】KOHを使用してエッチングし、V溝2aを形成する(図2(A))。この時図示していないが、Si基板1aの側面および下面にもSiO_x膜が形成されているため、上面のV溝の部分のみがエッチングされる。この結果形成されたV溝2aを上から見たものが図2(B)である。

【0062】なお、ホトリソグラフィの工程での位置合わせを容易にするため、位置合わせ用のマークをSi基板1a上に作製しておいてもよい。熱酸化で厚さ6μmのSiO_x膜3bを形成したSi基板を準備し、V溝2aを形成したSiのSiO_x膜3aの表面に重ねる(図2(C))。約800°Cに加熱する(図2(D))。これにより、SiO_x膜3aと3bは強固に接着する。

【0063】研磨剤を使用してSi基板1bの表面を研磨して、Si基板1bを10μmまで薄くする(図2(E))。KOHを使用してSi基板1bをエッチングし除去する(図2(F))。エッチングの際、V溝2a

12

aはワックスなどで塞いでおく。次に、ワックスを除去する。ここまで工程で図2(G)に示す基板材料4が形成される。

【0064】図3(A)は、基板4を横方向から見た図である。以下の工程説明ではこの方向から見た図を使用する。表面にホトレジスト21を塗布する(図3(B))。

次に、上面から見て図3(C)になるようなパターンでレジストを除去する。○の部分および○から伸びる平行な線の部分21dがレジストが除去された部分である。この部分はボンディングパッドおよび配線層が形成される部分である。

【0065】図3(D)は、図3(C)のD-D断面を側面から見た図である。図3(D)以降については、図3(C)のD-D断面に対応する断面図を使用して説明する。

【0066】次に、基板4上にTi51aを100nm、Au53aを100nm蒸着する(図3(E))。ここで、図3(E)では、右側の一段下がったTi51aとAu53aの後方にホトレジストおよびホトレジスト上のTi51aとAu53aが見えるはずであるが、図が煩雑になるので省略した。図3(E)では、図3(C)のD-D切断面に接する部分のみを示している。次にレジストを除去する(図3(F))。図3(B)～図3(F)の工程は、いわゆるリストオフとよばれる手法である。

【0067】次に、プラズマCVD法により表面にSiN膜3cを形成する(図4(A))。厚さは300nmである。次に、再びホトレジスト21を塗布する(図4(B))。上面から見て図4(C)のパターンになるようにレジストに穴を開ける。

【0068】ここで点線で示した○と○から伸びる平行な線とは図3(B)～図3(F)で形成されたTi51aとAu53a膜のパターンである。実線で示した○はSiN膜3cにコンタクトホールを開けるためのレジストの窓である。図4(D)は図4(C)を側面から見たものである。次にSiN膜3cに穴を開けた後、ホトレジストを除去する(図4(E))。

【0069】図5(A)はSiN膜3cに開けられた窓のパターンを示すものである。実線の○が窓のパターンを示している。次に、再びホトレジスト21を1.5μm塗布する(図5(B))。ホトマスクを使用して紫外線露光を行ない、右部分のホトレジストを除去する(図5(C))。ここで、ホトレジストの紙面に垂直な方向の断面形状は同じである。

【0070】Ti51およびPt52を蒸着する(図5(D))。TiとPtは全面に蒸着される。厚さはTiが100nm、Ptが30nmである。次にホトレジスト21を除去する(図5(E))。ホトレジスト21の上のTiとPtは除去されるが、右側のSiN膜3cの上のTi51とPt52は残る。この電極は後の工程で

50

金メッキ用電極として使用される。

【0071】図6 (A) は、図5 (E) のSiN膜3cに開けられた穴の部分を拡大した図である。以下、図6 (D) までを参照して、ボンディングパッドの形成方法を説明する。厚さ3μmのホトレジスト21を塗布し、ホトレジスト21に穴21gを開ける(図6 (B))。

【0072】次に、Ti51とPt52を電極にして金53をメッキする(図6 (C))。金53の厚さは2μmである。これによりボンディングパッドに相当する部分が形成される。

【0073】ホトレジスト21を除去し、スパッタによりTi51、Pt52、金53をエッチングする。金はTi、Ptに比べてエッチング速度が遅いので、金53の部分のみを残すことができる(図6 (D))。

【0074】この結果、Ti51とPt52とAu53が積層したボンディングパッド5が形成される。ここまでは工程説明のため51、52、53を区別して図に示したが、以下では図が煩雑になるのを避けるため51、52、53を5で代表させる。さらに、これまでTi51、Pt52、Au53の高さを強調していたが、図7 (A) 以下では薄いパッド5を示す。

【0075】図7 (A) は、図6 (D) までの工程を終了した基板の全体図である。この基板にホトレジスト21を塗布する(図7 (B))。ホトマスクを用いて紫外線を露光し、ホトレジスト21を現像して左半分のホトレジストを除去する(図7 (C))。ホトレジスト21をマスクにしてバッファード沸化水素酸でSiN膜3cとSiO₂膜3b、3aをエッチングする(図7 (D))。

【0076】これによりV溝2aが露出する。ホトレジスト21を除去して図8 (A) のような実装基板が製作される。ボンディングパッド5を利用して光学部品を実装し、V溝2aでファイバの位置決めを行なう(図8 (B))。

【0077】図8 (B) は、図8 (A) をEの方向から見た図である。図8 (A)、図8 (B)において、6は半導体レーザ、ホトダイオードなどの光学部品、61は光学部品に形成されたボンディング用パッド、62は光学的な能動領域、7は光ファイバ、8は光ファイバから放射される光、Zはファイバ先端と光学部品の距離である。

【0078】本実施例1によると、V溝2aを有する基板1a上にボンディングパッドなどをバーニングする際に、V溝に蓋がされて表面が平坦になっているため、ホトレジストを均一に塗布することができる。そのため、ボンディングパッドなどの位置を高精度に形成することが可能となる。

【0079】図8 (B) に示すように、V溝は光部品の下にまで延在して形成されており、V溝終端とボンディングパッドとの境界部分に斜面がないため、ファイバと

光学部品との距離Zを小さくすることができる。その結果光結合効率が向上する。

【0080】ホトダイオードとして吸収層の厚さが5μm、幅が50μmのエッジ入射型ホトダイオードを使用した場合、従来はファイバとホトダイオード端面間の距離が約40μm以上であったため、結合効率は40%以下であった。

【0081】これに対し、上述の基板4と製造方法を使用したことによって、ファイバとホトダイオード端面間の距離を5μm以下にすることが可能となり、結合効率が72%まで向上した。

【0082】V溝形成用のマスクに使用するSiO₂膜3aを300nmまで薄くしたので、幅と深さの精度の高いV溝が実現された。一方、SiO₂膜3a上のSiO₂膜3bを6μmにし、この上に配線パターン5bを設けたので、SiO₂膜3aだけの場合に比べて静電容量が1/20以下に低減され、高速動作が可能となつた。

【0083】V溝2aの上に形成した誘電体膜3aと3bをSiO₂にしたので、可視光に対して透明であった。そのため、ボンディングパッドを形成する際のマスク合わせをV溝2aのエッジやSi基板1a上の位置合わせマークをシースルーで見ながらマスク合わせをすることが可能となった。そのため、精度の高いマスク合わせが実現された。

【0084】本実施例には示さないが、ボンディングパッド5の周辺全面に金属膜を形成して熱放散を向上させることができるものである。また、薄膜ダイアモンドなどをコーティングするとさらに熱放散特性が向上する。

【0085】次に、V溝を基板の中央部のみに形成する実施例2について、図9、図10を参照して説明する。実施例1ではSiO₂膜3aと3bの下のV溝をSi基板4の端から端まで形成していたが、実施例2では基板の中央部のみにV溝2aを形成する。

【0086】これは実施例1における図1 (D) に示す工程で、クロム22aのパターンが中央部のみに形成されたマスクを使用することによって実現される。以下に実施例1とは異なる部分を中心に本実施例の製造工程を説明する。図9、図10に示していない部分の工程は、実施例1と同様である。

【0087】まず、基板にホトレジストを塗布し、紫外線露光する工程は実施例1と同様である。ただし、ホトマスク22のパターンは図9 (A) のようになり、実施例1とは異なる。この結果形成される基板上のV溝パターンは図9 (B) のようになる。

【0088】図9 (B) のようなV溝2aが形成されたSi基板1aとSiO₂膜3bが形成された他のSi基板1bを貼り合わせる(図9 (C))。Si基板1bを研磨とエッチングで除去したものが図9 (D) である。

【0089】図10 (A) はこの基板の側面図である。

この基板に、実施例1と同様の工程でポンディングパッド5が形成され、図中左半分のSiO₂膜3aと3bを除去する。この工程終了後の基板断面図を図10(B)に示す。

【0090】最後に図10(C)に示す線Fに沿って切断すると、実施例1で作成した図8(A)に示す基板とほぼ同様の基板が完成する。実施例2で作製した基板が、実施例1で作製した基板と異なるのは、V溝の後方の端部のみである。なお、先に述べたように、上述以外の加工工程は実施例1と同様である。

【0091】実施例2の方法が実施例1に対して改善されたのは、実施例1の図2(F)に示すシリコン1bをエッティングする工程において、V溝2aをワックスなどで塞ぐ必要がなくなることである。

【0092】さらに、図10(C)に示したV溝の先端部2bをファイバの先端に当らない範囲でできるだけ図の左側にもって行くことにより、空洞部が少なくなるので上に載せる光学部品の熱放散特性が向上する効果もある。

【0093】次に、V溝を有する基板の表面にモノシリックのICを形成する実施例3を図11～図14を参照して説明する。本実施例は、実施例1および実施例2において完全に除去された貼り合わせられたSi基板1bの一部を残し、この表面にモノシリックのIC6bを形成するものである。

【0094】さらに、本実施例では、IC上に直接光学部品（具体的にはホトダイオード）をフリップチップポンディングするためのポンディングパッド5bをも形成した。

【0095】なお、ここでは実施例1および実施例2とは異なる部分を中心に本実施例の製造工程を説明する。

図11～図14に示していない部分の工程は、実施例1および実施例2と同様である。

【0096】図11(A)は、実施例1における図2(D)と同様であり、V溝2a付きSi基板1aの上にSiO₂膜3b付きSi基板1bを貼り合わせたものである。本実施例ではSiO₂膜3bの厚さは3μmである。次に、貼り合わせたSi基板を厚さが約10μmになるまで研磨する（図11(B)）。

【0097】次に、Si層1bを残すために、CP-8と呼ばれるエッティング液(HF:HNO₃:CH₃COOH:I₂=1ml:5ml:2ml:9.6mg)を使用し、Siがエッティングで全て除去される前にエッティングを停止させる。残ったSi層1bの厚さは3μmである。これ以外は実施例1における図1(A)から図2(G)までの工程と同様である。その結果得られた基板が図11(C)である。この基板が光電子集積回路用基板4となる。

【0098】図12(A)は、図11(C)を側面から見たものである。次の工程では、貼り合わせられ、薄膜

化されたSi1bのうちICを形成する部分（右半分）以外のSi1bをホトリソグラフィとエッティングにより除去する（図12(B)）。

【0099】通常のSi-ICのプロセスを使用してIC6bを形成する（図12(C)）。次にIC6b上に、実施例1と同様の工程で配線メタル5bとポンディングパッド5dを形成する（図12(D)）。そしてさらにホトレジスト21を塗布する（図12(D)）。

【0100】IC部分をホトレジスト21で保護してV溝2aを露出させる部分のSiN膜3cとSiO₂膜3a、3bを除去する（図12(E)）。ホトレジストを除去して図13(A)に示す構造が完成する。ここで、図13(B)は、図13(A)を図示したEの方向から見たものである。

【0101】なお、図14に示すように、光学部品6用のポンディングパッドをSiO₂上に形成し、その後方（図14では右側）にSi-ICを配置するような構造としてもよい。なお、図14ではパッド-パッド間を金線5cで接続している。図14で5は光学部品6をポンディングするためのパッド、5eは光学部品6とIC6bを接続するためのパッド、5fは外部回路やパッケージのリード線と接続するためのパッドである。

【0102】実施例3においては、Si-IC6bを集積化したので小型化が可能になる。Si-ICを製作する際、深いV溝のない、通常のICの製造に用いられるようなほぼ平坦な表面をもった基板を使用できるので、プロセスが容易になる効果もある。SiO₂上に形成したSOI構造のICは、寄生容量が小さいので、高速動作が可能となる効果もある。ホトダイオードをSi-IC6bに直接ポンディングする場合には、配線による周波数特性の劣化が小さくなる効果もある。

【0103】下側基板1aにはV溝加工に適したSiを使用し、上側基板1bにはICに最適なSi基板を使用するといった素子に最適のSi材料を使用することにより、安価で高性能な光ハイブリッドICが実現される効果がある。

【0104】なお、図13において、上側基板1bに(110)面のSi基板を使用すると、異方性エッティングで垂直に切り立ったエッティングが可能であること、上側基板1bに他の半導体材料、たとえばGaAsやInPなどの化合物半導体材料を使用すると、この部分にモノリシックに光半導体素子を形成可能なことはいうまでもない。

【0105】次に、本発明の実施例4による有機高分子材料を使用した光導波路の製造方法を図15～図16を参照して説明する。まず、図2(G)に示す基板4を実施例1と同様の方法で作製する。ここで、SiO₂膜3aの厚さは300nm、SiO₂膜3bの厚さは3μm、V溝2aの間口の幅は144.6μmである。

【0106】V溝2aにクラッド径125μmの光ファ

イバをはめ込むと、基板1aの表面から見た光ファイバの中心の高さは6μmである。なお、図12(G)では基板4の端から端までV溝を形成したが、実施例2のようにV溝は途中で止ってもよい。

【0107】次に、図2(G)に示す基板4に2層の有機高分子材料41、42を塗布する(図15(A))。高分子材料にはポリメチル・メタクリレート(PMM A)を使用し、塗布にはスピンドルコーティングを使用した。有機高分子材料41、42の厚さは両方とも2μmである。42にはポリベンジル・メタクリレートを添加して屈折率を高くしている。次に、ベーキングして溶剤を蒸発させ、固化させる。

【0108】表面にSiO_x膜3cを形成し、ホトリソグラフィによりSiO_x膜3cのパターンを光導波路のパターンと同様のパターンになるように加工する(図15(B))。SiO_x膜3cをマスクにして酸素プラズマを用いて、有機高分子材料42をエッチングし、3次元導波路を形成する(図15(C))。有機高分子材料42は光導波路のコアである。

【0109】次に、SiO_x膜3cを除去した後、上側のクラッド層としてポリメチル・メタクリレート43を塗布する。塗布とベーキングの工程を3回繰り返して行い、6μmの上側クラッド層を形成する(図15(D))。

【0110】次に、表面にSiO_x膜3dを形成し、ホトリソグラフィによりSiO_x膜3dを図16(A)のようにパターン化する。次に、酸素プラズマでエッチングして導波路の端面を形成すると共に、SiO_x膜3bを露出させる(図16(B))。

【0111】次に、SiO_x膜3dを除去した後、バッファードフロ酸でSiO_x膜3bを除去してV溝2aを露出させる(図16(C))。以上の工程でV溝付きの基板上に有機高分子導波路が形成される。

【0112】上記の工程で光導波路を作製すると、高分子光導波路を塗布する際に、基板4の上面は平坦であるため、均一に有機高分子材料を塗布することができる。さらに、V溝は、SiO_x膜で覆われているため、V溝に有機高分子材料が入り込むこともない。

【0113】本実施例においては、V溝を形成したSi基板上に、SiO_x膜を有する他のSi基板をSiO_x面で貼り合わせて作製した基板を使用したが、Siに限らず他の方法で作製された同様の基板を使用することも可能である。

【0114】本実施例の応用として、図17(A)に示すように、光導波路を形成する基板4のSiO_x上に光半導体素子やICをボンディングするためのボンディングパッド5aや配線パターン5bを形成しておき、図17(B)、図17(C)に示すように、実施例4と同様の方法でこの基板4の上に有機高分子導波路を形成するようにしてもよい。

【0115】このような光導波路付き基板に、低温のハンダなどを使用して光半導体素子やICをボンディングすれば光導波路付きモジュールを構成することが可能となる。

【0116】ただし、この方法で光導波路付きモジュールを作製する場合には、導波路形成後にV溝上のSiO_x膜3bをエッチングする時に、ボンディングパッド5aおよび配線パターン5bの下のSiO_x膜3bを保護する必要がある。そのため、図17(B)に示すようにアルミナやシリコン窒化膜等の保護膜45を形成してある。

【0117】具体的には、SiO_x膜3bの上に熱CVDでSi窒化膜(100nm)を形成し、図17(B)に示す45の部分のみSi窒化膜を残して、他の部分のSi窒化膜を除去する。

【0118】このSi窒化膜の上にボンディングパッド5aや配線パターン5bを形成してプロセスすると、図17(C)の工程でボンディングパッド5aや配線パターン5bの下のSiO_x膜を保護することができる。

【0119】次に、本発明の実施例5によるSiO_xを使用した光導波路の製造方法を図18、図19を参照して説明する。まず、図2(G)に示す基板4を実施例1と同様の方法で作成する。ここで、SiO_x膜3aの厚さは0.3μm、SiO_x膜3bの厚さは2.7μm、V溝2aの間口の幅は132μmである。V溝2aにクラッド径125μmの光ファイバをはめ込むと、基板1aの表面から見た光ファイバの中心の高さは15μmである。なお、図2(G)では基板4の端から端までV溝を形成したが、実施例2のようにV溝は途中で止ってもよい。

【0120】次に、図2(G)に示す基板4に2層のSiO_x膜41aと42aを形成する(図18(A))。SiO_xの堆積にはスパッタ法を使用し、スパッタしたものをガラス化するために1000℃で熱処理する。SiO_x膜41a、42aの厚さは両方とも8μmである。42aにはGeを添加して屈折率を高くしている。

【0121】表面にポリSi膜3cを形成し、ホトリソグラフィによりポリSi膜3cのパターンを光導波路のパターンと同様のパターンになるように加工する(図18(B))。ポリSi膜3cをマスクにしてリアクティブ・イオンビーム・エッチング(RIE)法を用いて、SiO_x膜42aをエッチングし、3次元導波路を形成する(図18(C))。SiO_x膜42aは光導波路のコアである。

【0122】次に、ポリSi膜3cを除去した後、上側のクラッド層としてSiO_xオーバークラッド43aを形成する。コア42aの上のオーバークラッド43aの厚さは11μm、コアの上部以外は19μmである(図19(A))。

【0123】次に、表面にポリSi膜3dを形成し、ホ

トリソグラフィによりポリSi膜3dを図19(B)のようにパターン化する。次に、リアクティブ・イオンビーム・エッチング(RIE)法を用いて端面を形成する。このとき、SiO₂膜3bもエッチングし、Si基板を露出させる(図19(C))。以上の工程でV溝付きの基板上に誘電体光導波路が形成される。

【0124】上記の工程でSiO₂光導波路を作成すると、V溝エッチングの時の保護用SiO₂膜3bを薄くできるので、精度の高いV溝を形成することが可能となる。その後、V溝には蓋がされ、平坦面上で光導波路を形成するので、光ファイバと光導波路との位置合わせ精度が向上し、光の結合効率が向上する。

【0125】前記実施例までは、V溝を覆っていた平板状部材を光ファイバ固定前に取り除く方法である。以下に説明する実施例は、V溝を覆っている平板状部材をそのまま残し、V溝の空洞部分に光ファイバを挿入し、V溝端部の斜面をその反射面として利用する方法である。

【0126】実施例6について、図20を参照して説明する。SiO₂膜3、V溝2aを備えたシリコン基板1aは、実施例1と同様の方法を用いて作製する。ただし、V溝は光ファイバを完全に収容できる寸法とし、V溝上のSiO₂膜3は後の工程でも除去しない。バンプ61aを使用してボンディングパッド5上にホトダイオード(PD)6aをフリップチップボンディングする。ホトダイオード6aは、光吸収領域62a、電極63aおよびレンズ64aを有する。電極63aは電流ワイヤ81aによって配線82aに接続する。パッド5の直径は60μm、光ファイバ7の直径は125μm、V溝2aの最上部の開口幅は121μm、SiO₂膜3の厚さは3μm、レンズ64aの直径は80μmである。

【0127】本実施例では、ボンディングパッド5を形成する際、基板表面が平坦なので位置決めを高精度に行うことができる。また、実施例1と同様に、V溝の幅の精度向上、配線の静電容量の減少を図ることができる。

【0128】次に、実施例7について図21を参照して説明する。図21に示す光半導体素子は、実施例6における光半導体素子のSiO₂膜3の上にSi膜1bとSiO₂膜3eを積層している。実施例1の貼り合わせたSiを研磨する工程において、所望の厚さまで研磨した後、表面を熱酸化することによって、Si膜1bおよびSiO₂膜3eを形成する。SiO₂膜3e上には、実施例6と同様の方法でホトダイオード6aを載置する。

【0129】1.55μmの波長ではSiは透明であるため、光はSi膜1bを透過する。SiO₂膜3の厚さは0.24μm、Si膜1bの厚さは10μm、SiO₂膜3eの厚さは3μmである。この場合、SiO₂膜3は、反射防止膜として機能する。なお、反射防止効果を必要としない場合には、SiO₂膜3を省略しても何等支障はない。さらに、SiO₂膜3eの厚さも反射防止膜として機能する厚さに選ぶと反射による損失をさら

に低下させることが可能となる。

【0130】本実施例では、厚いSi膜1bのために、V溝2aの上の膜の機械的強度が大きくなる効果がある。また、Si膜挿入による反射の増大は、SiO₂膜3-Si膜1bの構造による反射防止の効果によって低減できる。

【0131】熱酸化で形成するSiO₂膜は屈折率が安定しており、しかも厚さの制御が容易なので再現性良く反射防止膜を形成することができる。本実施例では、

10 1. 55μmの光に対する反射防止のため、SiO₂膜3の厚さを256nmとした。

【0132】次に、実施例8について、図22を参照して説明する。本実施例の特徴は、実施例6で使用した単位のPD6aの代りに、ウエハ状態のPDアレイ6cを使用することである。位置合わせにはマスクアライナを使用し、貼り合わせにはエポキシ系の接着剤を使用する。接着後点線Aに沿って切断し、V溝2aに光ファイバを実装する。

【0133】SiO₂膜3があるため接着剤がV溝に入り込むことがなくなり、容易にV溝2aを有する基板とPDアレイを有する基板6cを貼り合わせることが可能となった。ウエハスケールで位置合わせをすることができるため、位置合わせが容易になる。

【0134】次に、実施例9について、図23を参照して説明する。本実施例の特徴は、実施例9のV溝を有する基板とPDアレイ基板6cとの間に光学部品6dを挟み込むことである。

【0135】光学部品6dとしてガラス板を使用すると基板の補強の効果がある。また、レンズアレイを使用すると、光結合効率を向上させることができるとなる。本実施例では、PDアレイ6cと光学部品6dの位置合わせをマスクアライナで行うことができるので、高精度でウエハ全体の位置合わせを行うことが可能である。

【0136】次に、実施例10による光半導体素子を図24に示す。本実施例の特徴は図24(A)において、SiO₂膜3の表面にホトレジストを使用したマイクロレンズ9aを形成することである。

【0137】Si基板1a、SiO₂膜3、V溝2aからなる基板は、実施例1と同様の方法で作製する。次に、スピニコーティングでSiO₂膜3の上にホトレジストを塗布する。次に、図24(B)に示すように、V溝2aの端部の位置に整合させて、SiO₂膜3上にホトリソグラフィにより円形のレジストパターン19bを形成する。

【0138】次に、200℃に加熱し、レジストを溶融させ表面張力によりレンズ9aを形成する(図24(C))。レンズの直径はたとえば250μmである。なお、レンズ形成はウエハ単位で行うことが可能である。

50 【0139】次に、図24(A)に示すように、V溝2

21

aの空洞部分に光ファイバ7を挿入する。マイクロレンズ9aの前方(図24(A)では下方)に光学部品6aを適当な手段で固定する。実施例6のように、SiO_x膜3上にボンディングパッドを形成し、光学部品6aをボンディングしてもよい。

【0140】本実施例では、直径250μmのマイクロレンズ9aを使用することにより、ファイバ側の基板と光学部品6aの距離を大きくしても光結合効率が低下しない効果が得られる。また、V溝2aの先端の斜めの面で反射される光の光軸位置は幾学的に決まるので、マスク合わせでレンズを形成すれば、V溝の先端の斜めの面で反射される光の光軸とレンズの光軸が自動的に一致する効果がある。

【0141】なお、本実施例のように、ホトリソグラフィで光軸合わせして、直接V溝の上にレンズを形成することが可能になったのは、V溝2aをSiO_x膜3で覆った基板を使用したためである。

【0142】次に、実施例11について、図25を参照して説明する。本実施例の特徴は、図25(A)に示すように、SiO_x膜3の表面にSiのエッチングを使用したマイクロレンズ9bを形成することである。まず、実施例7と同様の方法で、Si基板1a、SiO_x膜3、Si膜1bおよびV溝2aからなる基板を準備する。次に、図25(B)に示すように、Si膜1b上のV溝2a端部に相当する位置に選択エッチングによりメサ13dを形成する。

【0143】次に、HF:HNO₃:CH₃COOHが1:2:1のエッティング液を使用してエッティングし、レンズ9bを形成する。この時、メサ13dの角の部分が速くエッティングされるため、図25(C)に示すようなレンズ9bを形成することが可能となる。

【0144】本実施例によっても、実施例10とほぼ同様の効果が得られる。なお、実施例10と同様の方法でSi膜1bの表面にホトレジストを使用してレンズを形成し、イオンミリング法でエッティングしてSiにホトレジストの形状を転写する方法でレンズを形成することもできる。

【0145】次に、実施例12について図26を参照して説明する。本実施例の特徴は、ガラス基板71aにパッド5と配線パターン82aを形成し、バンブ61aを使用してパッド5にPD6aをボンディングした後、PD付きガラス基板71aをファイバ固定用基板に貼り合せることである。

【0146】図26(A)はPD6aをボンディングする工程、図26(B)はPD付きガラス基板71aを貼り付ける工程、図26(C)はファイバ7を取り付けた状態を示す図である。

【0147】Si基板1a、SiO_x膜3、V溝2aからなるファイバ固定用基板は、実施例1と同様の方法で作製したものである。なお、ガラス板とファイバ固定用

22

基板には直径が4インチのものを使用し、ウエハ単位で位置合わせし、紫外線硬化型の樹脂で接着する。位置合わせにはマスクアライナを使用する。

【0148】本実施例においては、ガラス板71aが配線基板とV溝2aを覆うSiO_x膜3の補強材料の働きをする。さらに、一括位置合わせする際シースルーになるので、位置合わせが容易になる。また、ガラス基板71aは、紫外線を透過するので紫外線硬化接着剤の使用が可能となり接着工程を迅速に行うことができる。

10 【0149】また、ガラス上に電気配線すると、SiO_x膜の上に配線する場合に比べて、配線の静電容量が低下し、高速動作が可能になる効果もある。なお、最初にガラス基板71aをファイバ固定用基板に接着し、後でPD6aをフリップチップボンディングしてもよい。この場合はPD6aをフリップチップボンディングする際の温度を、ガラス基板71aをファイバ固定用基板に接着する接着剤が耐える温度よりも低くする必要がある。さらに、単体のPD6aの代りにウエハ状のPDアレイを使用することもできる。

20 【0150】次に、実施例13について、図27を参照して説明する。本実施例の特徴は、実施例12で使用したガラス基板71aの代りにレンズを具備しているガラス基板72aを使用することである。

【0151】ガラス基板72aのV溝2a端部に相当する位置に、イオン交換法で高屈折率領域9cを形成する。高屈折率領域9cはレンズの役割を果す。次に、ガラス基板72aに、実施例12と同様の方法で、PD6aをボンディングする。次に、PD付きガラス基板72aをファイバ固定用基板1aに実施例12と同様の方法で貼り合わせする。

30 【0152】レンズ9cの厚さは、PD6aの活性領域62aとレンズ9cによる集光点が一致するようにする。なお、PD6aは別の基板にボンディングしたものを適当な手段で所望の位置に固定し、光結合させてもよい。

【0153】本実施例によると、ガラス基板72aがSiO_x膜3の補強とレンズ9cによる集光作用の効果を有するため、部品点数を少なくすることができる。本実施例では単体のPD6aを使用したが、ウエハ状のPDとウエハ状のレンズ付き基板を使用してもよい。

40 【0154】次に、実施例14について、図28を参照して説明する。実施例6～実施例13ではV溝を有するSi基板にSiO_x膜を形成した他のSi基板を貼り合わせてファイバ固定用基板を作製したが、本実施例では、SiO_x膜を形成した他のSi基板の代りにバイレックスガラスを使用することを特徴とする。

【0155】まず、片面にTi/Auを蒸着したバイレックスガラスとV溝付きSi基板を準備する。バイレックスガラスのTi/Auを蒸着した面とは反対の面をV溝を有するSi基板1aに貼り合わせる。貼り合わせ

は、400°Cに加熱した後、500Vの電圧を印加して静電引力を利用して行なう。

【0156】その後、蒸着したTi/Ptを除去し、新たにボンディング用パッド5を形成する。そして、バイレックスガラス73aの上に実施例6と同様の方法でPD6aをボンディングする。

【0157】なお、貼り合わせの後、貼り合わせたバイレックスガラスを100μm以下に薄く研磨すると、より高い光結合効率が得られる効果がある。本実施例によると、実施例6の効果の他に、実施例6に比べてV溝2aの上の平坦化部材の機械的強度が大きくなること、および電気配線の静電容量が小さくなることなどの効果がある。なお、この基板を実施例6の基板とみなして、実施例7～実施例13の構成を取ることも可能なことはいうまでもない。

【0158】貼り合わせるガラス73aにイオン交換が可能なガラスを使用すると、イオン交換法を使用して貼り合わせたガラス73aにレンズや光導波路を形成することも可能である。

【0159】実施例6～実施例14では、V溝2aの端部斜面で反射された光ビーム8を基板面に対して垂直な光軸で示したが、実際には図29(A)に示すように、垂直にはならず、図示の場合、やや右に傾く。図29(A)の中のθ=54.7度、α=9.7度である。この傾きを補正するためには、図29(B)のように光ファイバ7の端面7bを斜めにすればよい。

【0160】この方法により、反射された光ビーム8の光軸を垂直に近づけることができ、PDの受光部の高さが変化しても光軸のずれを小さくすることができる。また、PDに組み込まれているレンズに対する入射角度が垂直に近付くので、収差が少なくなり、結合効率が向上する。本方法は、実施例6～実施例14の全てについても適用可能である。

【0161】次に、実施例15について、図30～図33を参照して説明する。本実施例は、面方位の異なるSi基板を重ねて2層構造にし、光ビームの反射面を基板に垂直な方向から45度傾けることによって、反射ビームの光軸を垂直にすることを特徴とする。

【0162】まず、図30を参照して本実施例で使用する基板の製造方法を説明する。まず、左右の面が(100)面であるインゴット1から、点線Fで示すように垂直に切断したウエハと点線Gで示すようにβだけ傾いた角度で切断したウエハを準備する。ここで、βは10.3度である。(100)面を有する図中左側のSi基板1aにはV溝2aを形成し、(100)面から10.3度オフした右側のSi基板1cには厚さ1μmの酸化膜3fを形成する。

【0163】次に、Si基板1aのV溝を有する面とSi基板1cのSiO₂膜3fを有する面を貼り合わせる。貼り合わせた後、Si基板1cを50μmの厚さま

で研磨する(図31(A))。表面上に酸化膜3aを形成し、バターニングしてマスクを作成する。このマスクを用いてSi基板1cの一部をエッチングする(図31(B))。この工程により45度の反射面2zを形成する。この時のマスクのパターンを図31(C)に示す。ここで3aはマスク、3wは窓である。

【0164】次に、V溝2a上のSiO₂膜3fをエッチングする。この時同時にSiO₂膜3aも除去される(図31(D))。次に、厚さ6μmの酸化膜3bのついたSi基板1bを貼り合わせる(図31(A))。次に、Si基板1bを除去する(図32(B))。

【0165】光ファイバをはめ込む際にファイバのシース7aがSi基板1cから飛出るため、V溝2a先端から2500μmの位置より右側の部分のSiO₂膜3hを除去する。なお、このSiO₂膜3hの除去は、パッド5を形成後行なう。加工用のマスクにはプラズマCVDによるアモルファスSiを使用し、エッチングにはリアクティブイオンエッチングを使用する。

【0166】続いて、実施例6と同様の方法により、PD6aを基板上にボンディングする。PD6aをボンディングし、光ファイバ7を挿入した時の素子断面図を図33に示す。

【0167】本実施例によると、光が垂直に反射されるので、PD6aの高さが変化しても光軸のずれを防止することができる。次に、V溝の内部に充填部材を充填することによって、V溝の表面を平坦化する第2の手段について説明する。まず、実施例16について図34を参照して説明する。図中左側の図はV溝に垂直な面で切断した断面図、右側の図はV溝の中心線を含む面で切断した断面図である。ウエハサイズが4インチ、厚さ1mmの(100)面Si基板1aを準備する。

【0168】まず熱酸化により基板1aの厚さ1μmのSi酸化膜を形成する。次に、ホトレジストをスピンドルティングし、ホトリソグラフィでレジストに窓を形成し、バッファード弾酸で熱酸化膜をエッチングする。このようにして形成された窓付きの酸化膜をV溝を形成する際のマスクに使用する。

【0169】窓の開口の幅は139μm、長さは6mmである。ホトレジストを除去した後、濃度30%(重量%)のKOH水溶液でSi基板1をエッチングして、図34(A)に示すようなV溝2aを形成する。ここで、溝の深さが60μmより深ければ溝形状は逆台形であってもよい。

【0170】次に、後の工程で保護膜として使用するため、熱酸化で厚さ1μmのSiO₂膜3を形成する。なお、図34には基板の一部のみを図示している。実際には、ウエハ単位の加工を行なう。図34(B)に保護膜SiO₂膜63を形成する工程を終了した基板を示す。

【0171】次に、熱酸化CVD法を使用してポリシリコン10を堆積する(図34(C))。次に、SiO₂

膜3の平らな部分に達するまでポリッシュバックする。この際、酸化膜3はポリシリコン10より硬いので、比較的容易に研磨を停止させることができる(図35(A))。

【0172】次に、有機高分子材料41、42、43を塗布して光導波路を形成する。光導波路材料には、ポリメチル・メタクリレート(PMMA)を使用し、スピニングコーティング法で塗布する。コア42には、ポリベンジル・メタクリレートを添加して屈折率を高くし、コアパターンの形成には酸素プラズマによるエッティングを使用する(図35(B))。

【0173】次に、酸素プラズマエッティングでV溝2aの上の導波路材料41、42、43を除去すると同時に、光導波路の端面を形成する。ポリシリコンが露出するので、HFとHNO₃とCH₃COOHを1:2:1の割合で混合した液を使用して、ポリシリコンをウエットエッティングして除去する(図35(C))。最後にダイシングソーを使用してチップ毎に切断し、V溝2aに光ファイバ7をはめ込み、エポキシ系の接着剤で固定する。

【0174】本実施例においては、V溝をポリシリコンで埋め込み表面を平坦にしたので、有機高分子の導波路を形成する際、導波路の各層の膜厚を均一にすることができる。また、導波路材料が溝に入り込むことを防止できる。V溝は、最初の工程で形成するので、マスクとして薄いSiO₂膜を使用できるため、比較的精度の高いV溝を形成することができる。

【0175】さらに、V溝2aの先端の壁が斜めになっていても、光ファイバ7の先端を光導波路に近付けることができる。なお、保護膜3とポリシリコン10は、1000℃以上の高温に耐えるので、SiO₂導波路等の製造プロセス中、高温の熱処理が行なわれる光導波路を形成することも可能である。

【0176】次に、実施例17について、図36、37を使用して説明する。本実施例は、実施例16の図35(C)の光導波路の後方にさらにエッジ入射形のホトダイオード6aを実装することを特徴とする。

【0177】図36(A)は、実施例16の図35(A)に示す基板と同等のものである。まず、基板上に、実施例1の図3(B)から図7(A)までの工程と同様の方法で配線パターン56とボンディングパッド5を形成する。

【0178】次に、有機高分子41、42、43のスピニングコーティングと酸素プラズマによるコアパターン42のエッティングで光導波路を形成する(図36(C))。次に、光導波路となる部分をマスク3cで保護して、光導波路の端面形成と同時にV溝2aの上の光導波路材料とボンディングパッド5の上の光導波路材料を除去する(図36(D))。

【0179】次に、V溝中のポリシリコン10をウエッ

トエッティングで除去する(図37(A))。エッチャンクにはHFとHNO₃とCH₃COOHの混合液(混合比1:2:1)を使用する。次に、ボンディングパッド5にホトダイオード6aをボンディングする(図37(B))。

【0180】次に、A-Aに沿って基板を切断する(図37(C))。次に、V溝2aに光ファイバ7をはめ込み、エポキシ系接着剤で固定する(図37(D))。以上の工程で光ファイバ7と光導波路とホトダイオード6aとを結合することができる。

【0181】本実施例により、光ファイバと光導波路とホトダイオードの三者の間の光結合を無調整で行なうことができる。また、光導波路に様々な機能を持たせ、オプトエレクトロニックデバイスとしてホトダイオード以外にレーザダイオード、レーザアンプまたは光スイッチ等を使用すると、多種多用な集積化光装置を実現することが可能になる。

【0182】実施例18を図38に示す。本実施例は基板にセラミックを使用したこと、および基板上の配線の高周波特性を良くすることを目的として2層構造のセラミックを使用することを特徴とする。

【0183】図38中の11と11aはセラミック基板、12はセラミック基板間に挟まれた金属薄膜、2aはたとえば円盤状のダイヤモンドカッタで機械的に研削して形成したV溝、5はボンディングパッド、5bは配線パターン、6aはホトダイオード、7は光ファイバである。

【0184】まず、V溝2aをポリシリコンで埋め込んだ後、セラミック11の表面までポリッシュバックして平坦な基板を製作する。そして、平坦な基板上に蒸着とホトリソグラフィでボンディングパッド5と配線パターン5bを形成した後、HFとHNO₃とCH₃COOHの混合液(混合比1:2:1)を使用して溝2aの中のポリシリコンを除去する。

【0185】そして、ホトダイオード6aをボンディングし、溝2aにファイバ7をはめ込む。たとえば、基板11の厚さと配線パターン5の幅を共に約200μmに選んだ。このときの配線の特性インピーダンスは50Ωであった。

【0186】以上のように、本実施例は、V溝の形成にダイヤモンドカッタを使用すること、V溝2aが基板の端から端まで形成されていること、配線とボンディングパッドがV溝2aをまたぐように形成されていること、配線を特性インピーダンスが50Ωのマイクロストリップラインとしたこと以外は実施例17と同様である。

【0187】本実施例においては、基板にSiを使用した場合に比べて、配線の静電容量が低下するため、周波数特性を向上させることができる。さらに、基板を二層にし、間に金属をはめ込んで、配線を50Ωのマイクロストリップラインとすることにより、10GHz以上の

帯域を持つ配線を実現することができる。

【0188】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0189】

【発明の効果】以上説明したように、本発明によれば、光ファイバ位置決め用溝を具備する基板の表面を平坦化できるため、表面にボンディングパッドや光導波路を形成する際のホトリソグラフィ精度の向上が容易になる。その結果、V溝に光ファイバをはめ込むという簡単な方法による光ファイバと導波路の光接続の精度を向上させることができることになる。

【0190】同様に、ボンディングパッドに光学部品をフリップチップボンディングするという簡単な方法による光ファイバと光学部品、あるいは光導波路と光学部品の光接続の精度を向上させることができることになる。

【0191】その結果、光学部品の光軸合わせに、高価な多軸微調装置や、発光素子を発光させて微調整するための補助的部材等を用いなくても、高い光結合効率を得ることが可能になる。

【0192】しかも、ICプロセスと同様の工程でウエハ単位での一括製造が可能になる。その結果、光学部品、光ファイバおよび電子部品を組み込んだ光結合部材の組立コストの低減を図ることができる。

【0193】また、従来の無調整化を目指した光接続方法と比較すると、より精度の高い位置合わせを行なうことが容易になるので、より高性能な光学部品の光接続が行なわれるようになる効果がある。

【0194】また、実施例1のように、光学部品が光ファイバ位置決め用溝をまたぐような構成を採用すれば、光ファイバと光学部品端面との距離を短くできるというデバイス的効果を得ることが可能である。

【0195】また、実施例2のように、光ファイバ位置決め用溝を下地基板中央部にのみ形成する構成を採用すれば、貼り合わせたSiのエッチング時に、溝をワックス等で塞ぐ必要がなくなるというプロセス的効果、および光学部品の熱拡散特性が向上するというデバイス的効果を得ることも可能である。

【0196】また、実施例3のように、表面にSiO₂膜を有する貼り合わせSi基板のうちSiを全て除去せず、Siの薄膜を残す構成を採用すれば、光学部品が実装される基板と同一基板上にモノリシックICを形成することが可能となる。

【0197】さらに、光学部品（発光素子や光電変換素子）をモノリシックICの電極に直接ボンディングして、1つの工程でICとの電気的接続とファイバや導波路との光学的接続を同時に実現することができる。

【0198】これにより、組立工程数の低減、光学部品（発光素子や光電変換素子）とICとの配線工程と配線

部材の省略が可能になり、本発明の実装技術で組み立てられた装置が低価格化される。

【0199】さらに、装置の小型化や電気配線のインダクタンスが小さくなることによる装置の高速化等の性能が向上する効果も得られる。また、実施例4のように、低温プロセスで形成可能で、しかもスピンドルティングで堆積させることができ可能な有機高分子導波路を、光ファイバ位置決め用V溝を具備する基板の表面に形成することが容易になる効果がある。

10 【0200】導波路を、ボンディングパッドが融解する温度よりも低温で形成することができるため、ボンディングパッドを形成した後に導波路を形成することができるようになる。

【0201】この結果、まず第1の効果として、ボンディングパッドを形成するためのホトリソグラフィプロセスを、平坦な基板上で行なうことが可能になる。その結果、ホトリソグラフィによるボンディングパッドのパターン転写精度が向上し、ボンディングパッドを光導波路端面に接近させることができになる。その結果、光導波路とボンディングパッドにフリップチップボンディングされる光学部品との光結合効率が向上する効果がある。

20 【0202】次に、第2の効果として、ボンディングパッドは段差が比較的小さいので、平坦な基板上にボンディングパッドを形成した後、スピンドルティングで導波路を形成すると、有機高分子がボンディングパッドの段差を平坦化するので、スピンドルティング後の導波路の表面も平坦になる。

【0203】そのため、光導波路を形成するためのホトリソグラフィプロセスも、平坦な面上で行なわれるようになる。その結果、導波路とボンディングパッドの相対的位置精度が向上し、光接続が良好になる効果がある。

30 【0204】しかも、光ファイバ位置決め用V溝を具備する基板のV溝を覆う平板状部材を除去することによって、容易にV溝を露出させることができる効果がある。その結果、光ファイバと光導波路と光学部品を1枚の基板の上に実装することができる効果がある。

【0205】なお、本発明の光ファイバ位置決め用V溝を具備する基板のV溝の表面をSiO₂膜あるいはポリシリコンで平坦化した基板は、1000°C以上の温度に耐えるので、実施例5に示すように、本発明による表面をSiO₂膜あるいはポリシリコンで平坦化した光結合部材を、SiO₂導波路等の高温で形成される導波路と光ファイバとの光接続に用いることもできる効果がある。

【0206】有機高分子導波路を使用する場合と合わせて、光導波路と光ファイバの光接続に使用することができ、その際、光接続の高精度化によりデバイスを高性能化する効果と光接続の無調整化により光接続のコストを低減させる効果がある。

【0207】また、実施例7のように、光ファイバ位置決め用溝を覆う平面状の膜をSi膜とSiO₂膜との積層構造にすることにより、反射防止の効果を得ることも可能である。

【0208】また、実施例8のように、単体の光学部品をアレイ状に配置した基板を接着剤で貼り合わせしても、接着剤がファイバ先端に回り込むことがないので、光学部品がアレイ状に形成されたウエハ状の基板をマスクアライナを用いてウエハ単位で一括位置合わせし、接着剤で接着実装することも容易になる。

【0209】ウエハ単位で保持するので、部品の保持が容易になる効果がある。さらに、マスクアライナは、位置合わせ精度が高い装置なので、光学部品の位置合わせ精度も向上する効果がある。さらに、ウエハ単位で位置合わせされるので、部品1個当たりに換算した位置合わせ時間が短くなり、位置合わせのコストが低減される効果がある。

【0210】また、実施例9のようにも光学部品をアレイ状に配置した基板と光ファイバ位置決め溝を具備した基板との間に、シート状光学部品をはめ込むことにより、基板の強度増加および光結合効率の向上といったデバイス的およびプロセス的効果を得ることも可能である。

【0211】また、実施例10または実施例11のように、光ファイバ位置決め用溝を具備した基板表面に、ホトリソグラフィでレンズ形成を行なっても光ファイバ位置決め用溝の中が保護される効果がある。

【0212】なお、実施例10または実施例11のような方法を用いると、ファイバ位置決め用溝を具備した基板の表面にホトリソグラフィでレンズを形成する際に、光を反射する面とマスクパターンとの位置合わせを行なうだけで、光軸とレンズの中心との位置合わせが行なわれる効果がある。

【0213】また、実施例12のように、光ファイバ位置決め用溝を具備する基板にガラス基板を張り合わせる構成とすることにより、電気配線の静電容量の低減と共に、配線基板と溝を覆うSiO₂膜の補強をすることが可能である。さらに、実施例13のように、このガラス基板にイオン交換法によりレンズを形成することにより、光結合効率を向上させることが可能である。

【0214】また、実施例14のように、光ファイバ位置決め用溝を具備する基板にバイレックスガラスを貼り合わせる構成とすることによっても、機械的強度の向上および電気配線の静電容量の減少というデバイス的効果を得ることも可能である。

【0215】また、実施例15のように、下地基板としてSiの2層構造を採用すれば、反射光の光軸を基板と垂直にすることが可能であり、光学部品の受光部の位置決めを容易にすることが可能である。

【図面の簡単な説明】

【図1】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図2】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図3】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

10 【図4】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図5】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図6】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

20 【図7】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図8】本発明の実施例1による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図9】本発明の実施例2による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図10】本発明の実施例2による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

30 【図11】本発明の実施例3による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図12】本発明の実施例3による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図13】本発明の実施例3による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図14】本発明の実施例3による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図15】本発明の実施例4による製造方法を説明するための光学部品実装基板の斜視図である。

40 【図16】本発明の実施例4による製造方法を説明するための光学部品実装基板の斜視図である。

【図17】本発明の実施例4による他の実施例の製造方法を説明するための光学部品実装基板の斜視図である。

【図18】本発明の実施例5による製造方法を説明するための光学部品実装基板の斜視図である。

【図19】本発明の実施例5による製造方法を説明するための光学部品実装基板の斜視図である。

【図20】本発明の実施例6による光係合部材の断面図である。

50 【図21】本発明の実施例7による光係合部材の断面図である。

【図 2 2】本発明の実施例 8 による製造方法を説明するための S i ウエハの斜視図である。

【図 2 3】本発明の実施例 9 による製造方法を説明するための S i ウエハおよびシート状光学部品の斜視図である。

【図 2 4】本発明の実施例 10 による光係合部材の断面図である。

【図 2 5】本発明の実施例 11 による光係合部材の断面図およびその製造方法を説明するための断面図である。

【図 2 6】本発明の実施例 12 による製造方法を説明するための光学部品実装基板および光学部品の断面図である。

【図 2 7】本発明の実施例 13 による光係合部材の断面図である。

【図 2 8】本発明の実施例 14 による光係合部材の断面図である。

【図 2 9】光ファイバの端面を斜めにすることによる効果を説明するための光結合部材の断面図である。

【図 3 0】本発明の実施例 15 による製造方法を説明するためのシリコンインゴットおよび光学部品実装基板の斜視図および断面図である。

【図 3 1】本発明の実施例 15 による製造方法を説明するためのシリコンインゴットおよび光学部品実装基板の斜視図および断面図である。

【図 3 2】本発明の実施例 15 による製造方法を説明するためのシリコンインゴットおよび光学部品実装基板の斜視図および断面図である。

【図 3 3】本発明の実施例 15 による光結合部材の断面図である。

【図 3 4】本発明の実施例 16 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 5】本発明の実施例 16 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 6】本発明の実施例 17 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 7】本発明の実施例 17 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 8】本発明の実施例 18 による光結合部材の製造方法を説明するための光学部品実装基板、光学部品および光ファイバの斜視図である。

【図 3 9】従来例による光結合部材の製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図 4 0】従来例による光結合部材の製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図 4 1】従来例による光結合部材の製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図 4 2】他の従来例による光学部品実装基板の製造方

法を説明するための基板の斜視図である。

【図 4 3】他の従来例による光学部品実装基板の製造方法を説明するための基板の斜視図である。

【図 4 4】従来例による光導波路付き基板にポンディングパッドを形成する際の問題点を示す図である。

【符号の説明】

1 シリコンインゴット

1 c, 1 a, 1 b (100) 面 S i 基板

2 a, 2 v V溝

10 2 b, 2 z V溝の先端部

3 a, 3 b, 3 e, 3 f, 3 g, 3 h SiO₂ 膜

3 c, 3 d エッチングマスク用 S i W, S i O₂, ポリ S i 膜

3 w マスクの窓

4 V溝を S i O₂ でカバーした基板材料

5, 5 a, 5 d, 5 e, 5 f ボンディングパッド

5 b 配線バターン

5 c 金線

6, 6 a, 6 d 光学部品

20 6 b モノリシック IC

6 c PDアレイ

7 光ファイバ

7 a シース

7 b ファイバ端面

8 放射光

9 a, 9 b, 9 c レンズ

10 ポリ S i

11, 11 a セラミック基板

12 金属薄膜

30 13 d S i のメサ

19 b レジストバターン

21 ホトレジスト膜

21 c, 21 d, 21 g レジスト除去部分

22 ホトマスク

22 a クロム

41, 42, 43 有機高分子材料

41 a, 42 a, 43 a SiO₂ 膜

51, 51 a Ti

52 Pt

40 53, 53 a Au

61, 61 b 光学部品に形成されたボンディング用パッド

61 a パンプ

62, 62 a 光学的能動領域

63, 63 a 電極

64 a レンズ

71 a, 72 a ガラス基板

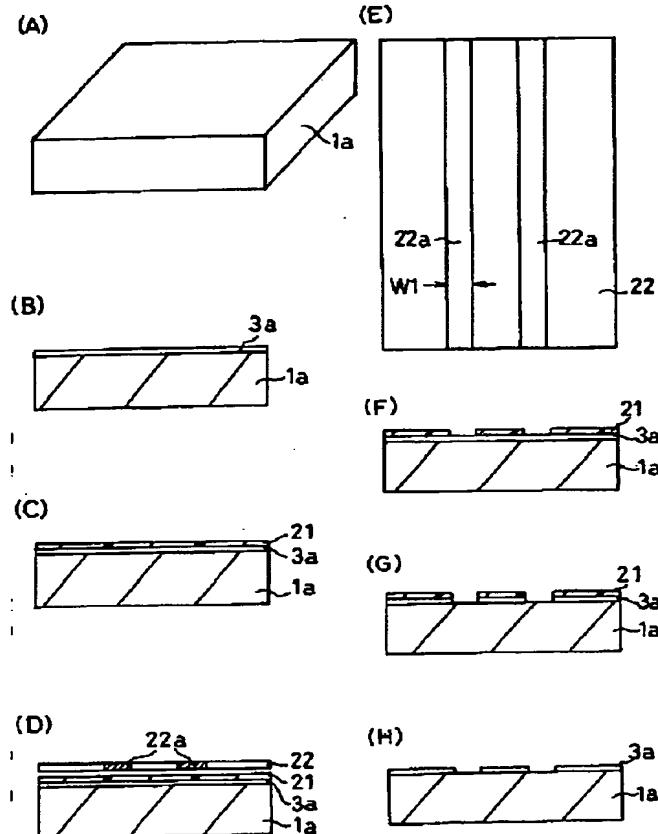
73 a バイレックスガラス

81 a 電流ワイヤ

82 a 配線

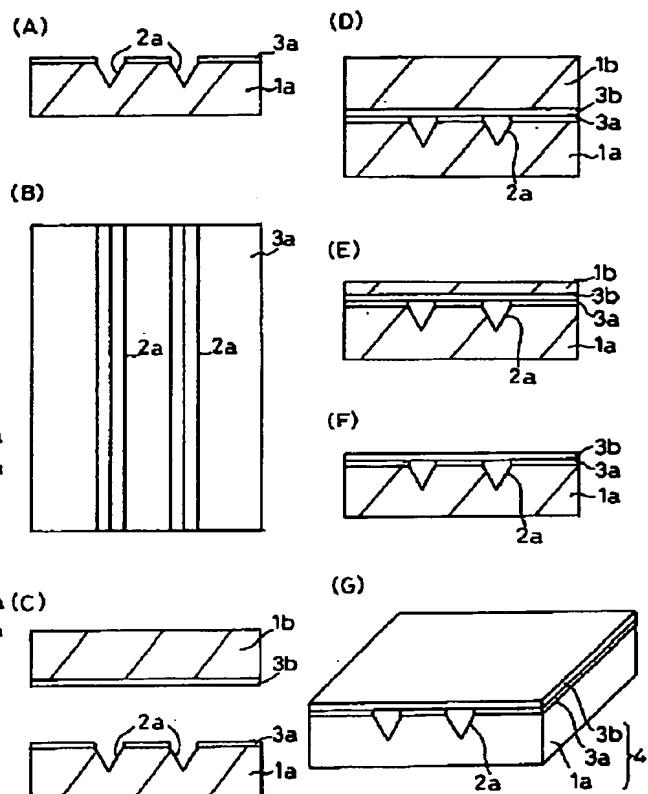
【図 1】

実施例 1



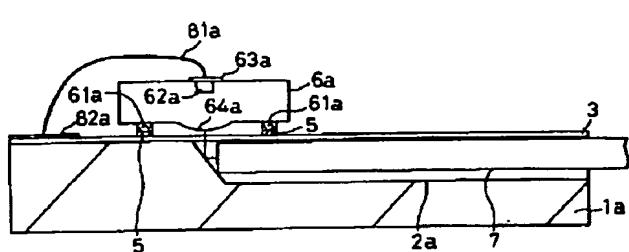
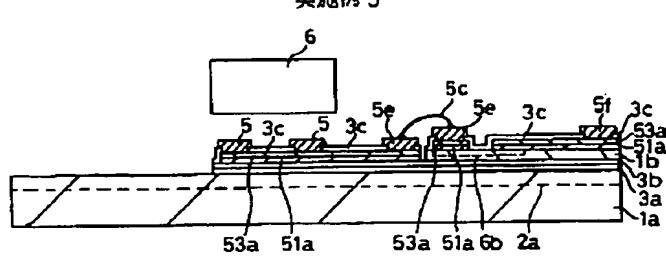
【図 2】

実施例 1



【図 14】

実施例 3

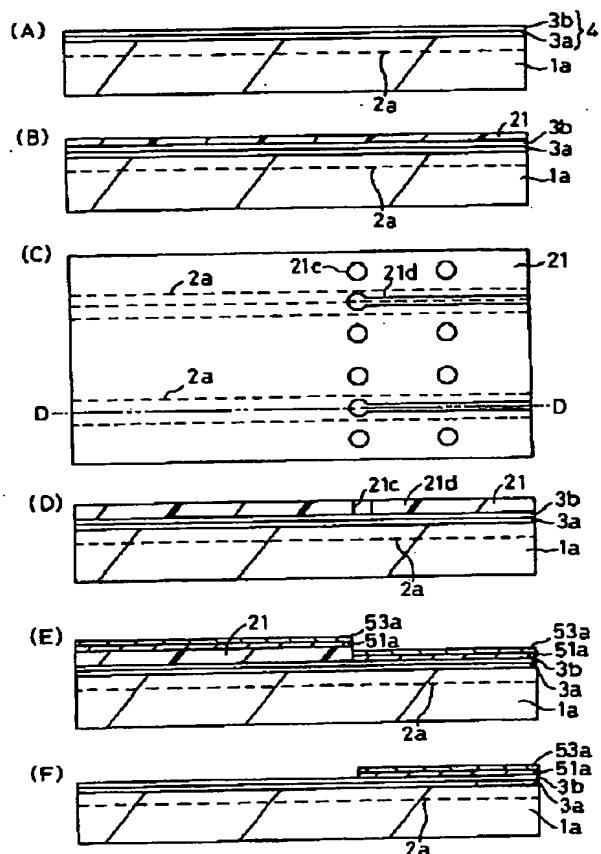


【図 20】

実施例 6

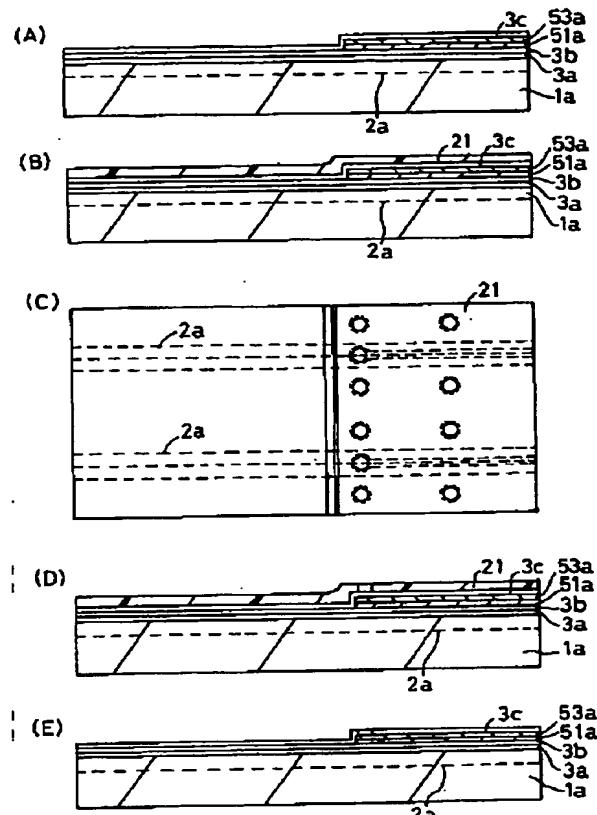
【図 3】

実施例 1



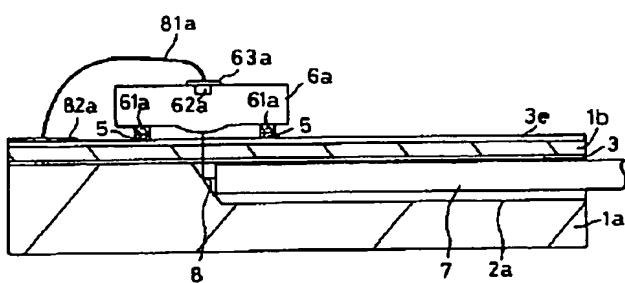
【図 4】

実施例 1



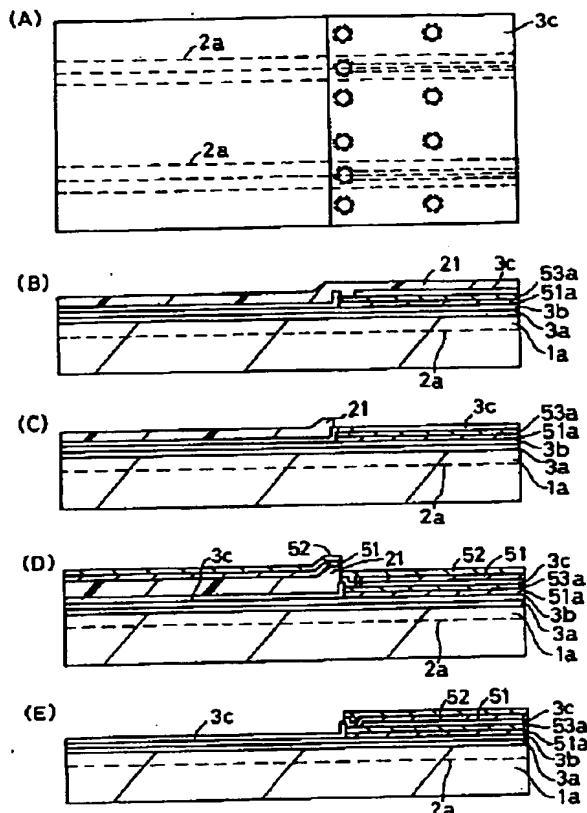
【図 2 1】

実施例 7



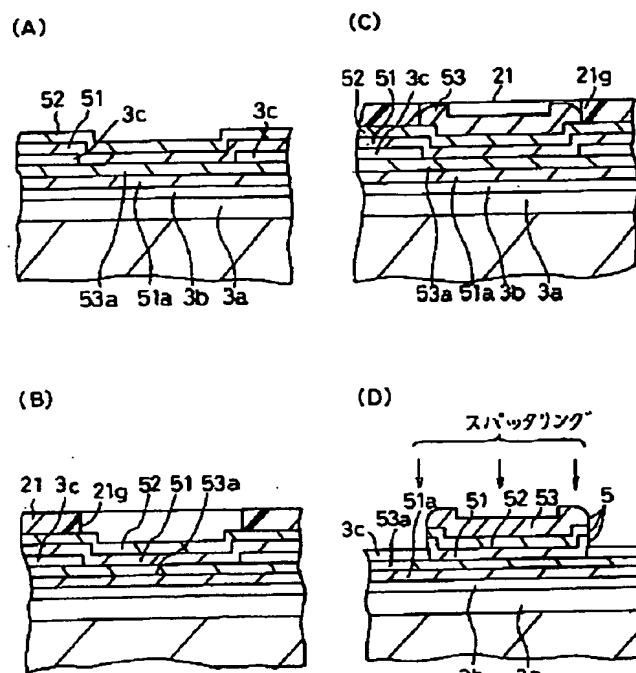
【図5】

実施例1



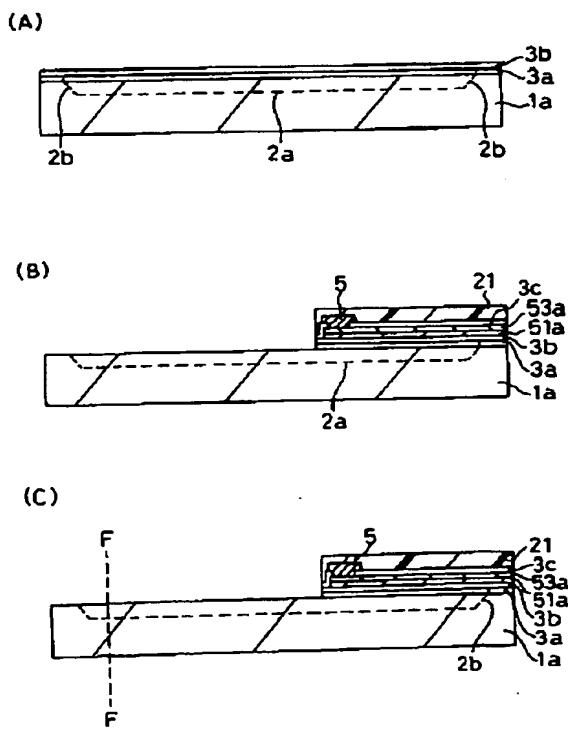
【図6】

実施例1



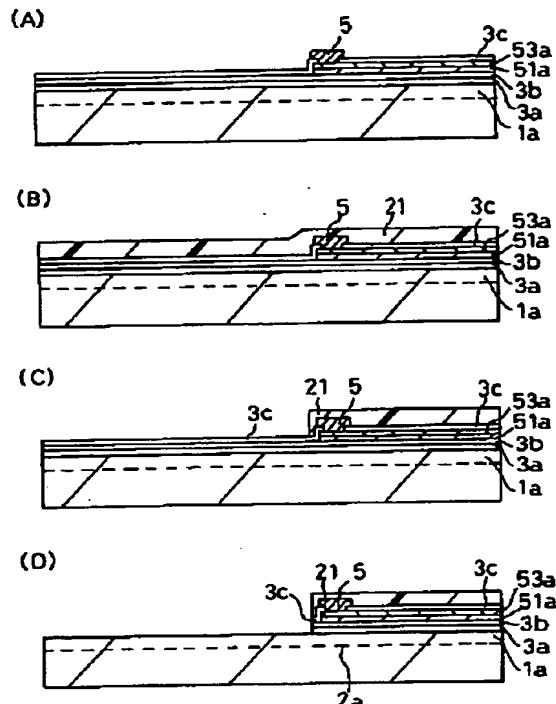
【図10】

実施例2



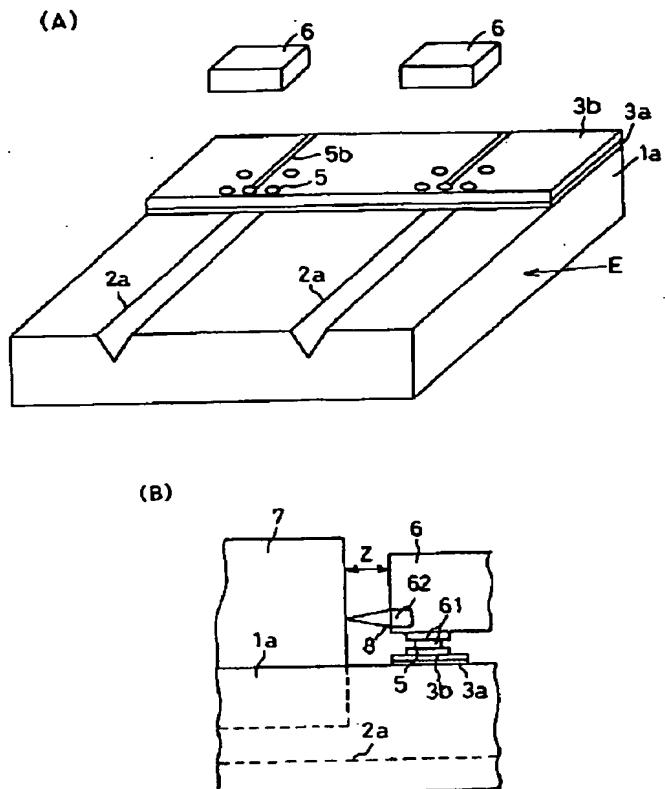
【図 7】

実施例 1



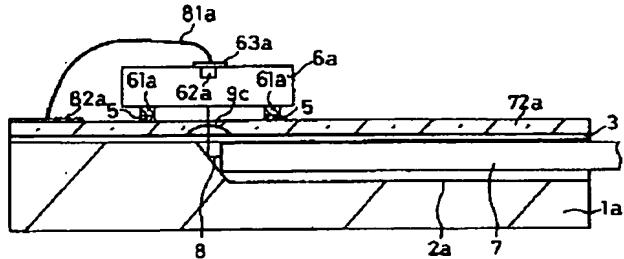
【図 8】

実施例 1



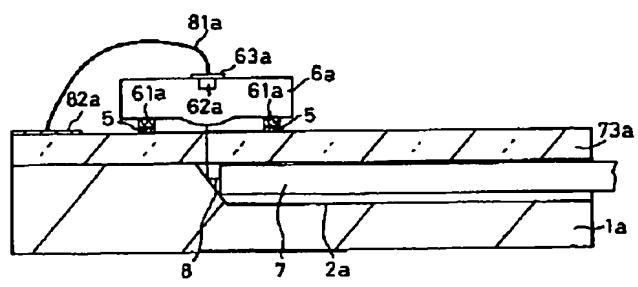
【図 27】

実施例 13



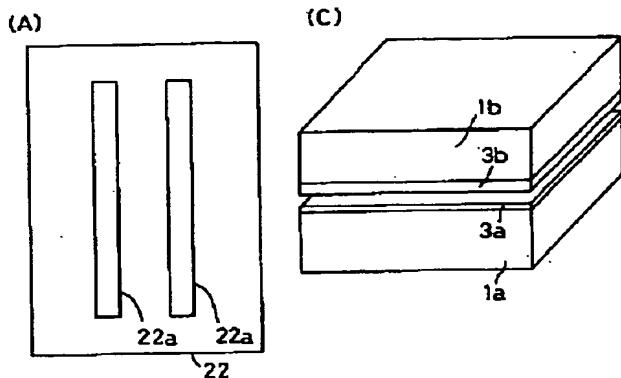
【図 28】

実施例 14



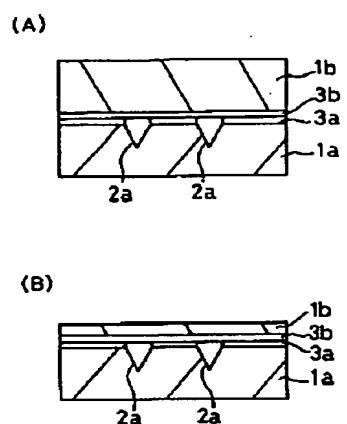
【図 9】

実施例 2



【図 11】

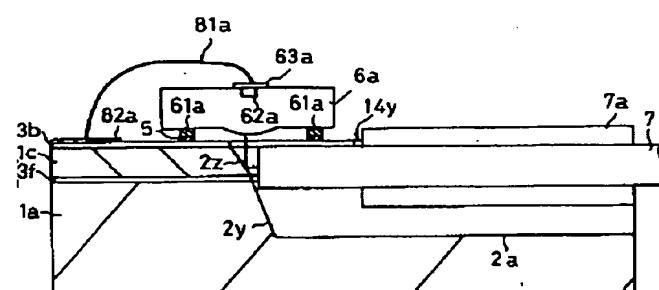
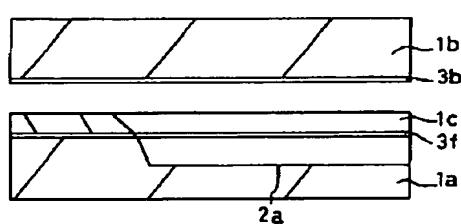
実施例 3



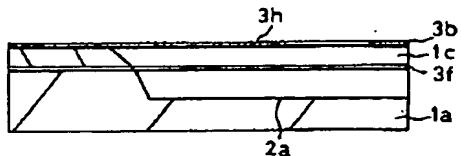
【図 3 2】

実施例 15

(A)

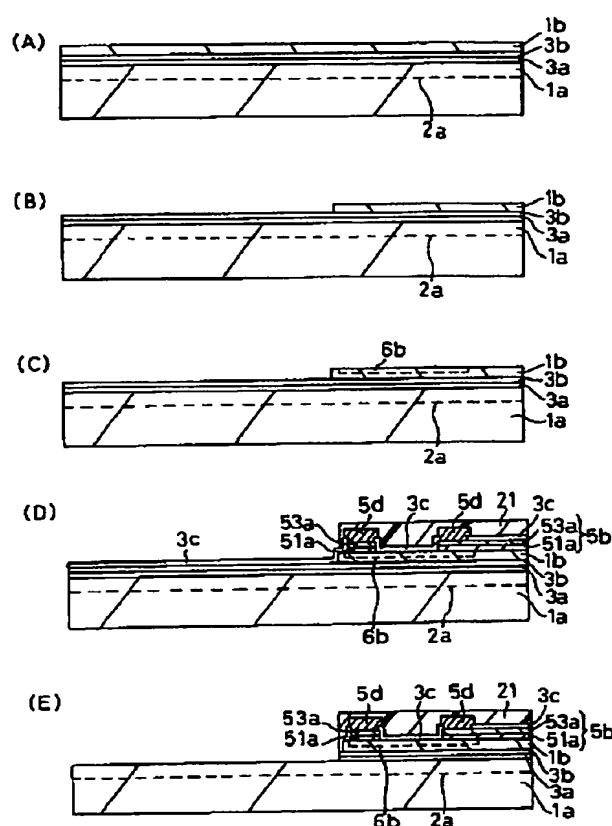


(B)



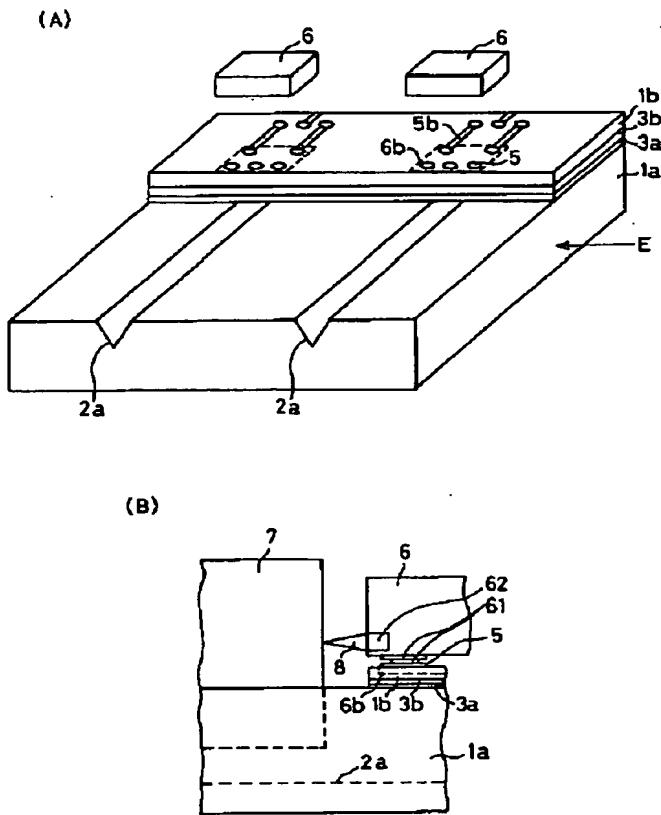
【図 12】

実施例 3



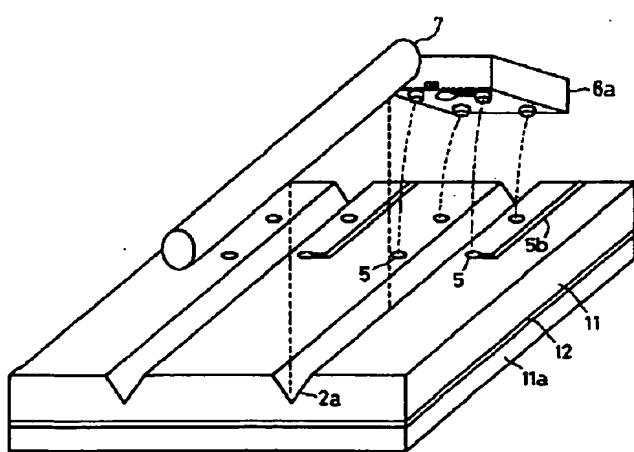
【図 13】

実施例 3



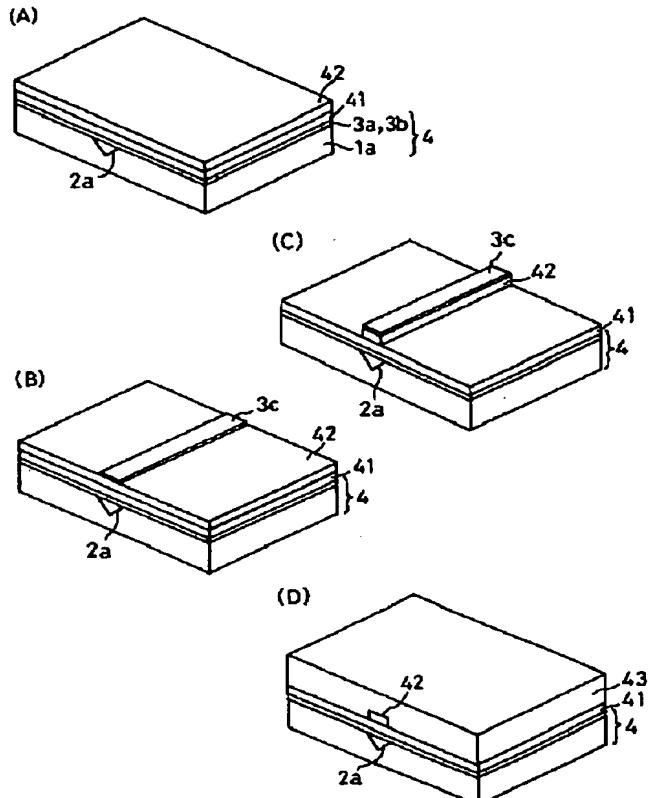
【図 38】

実施例 18



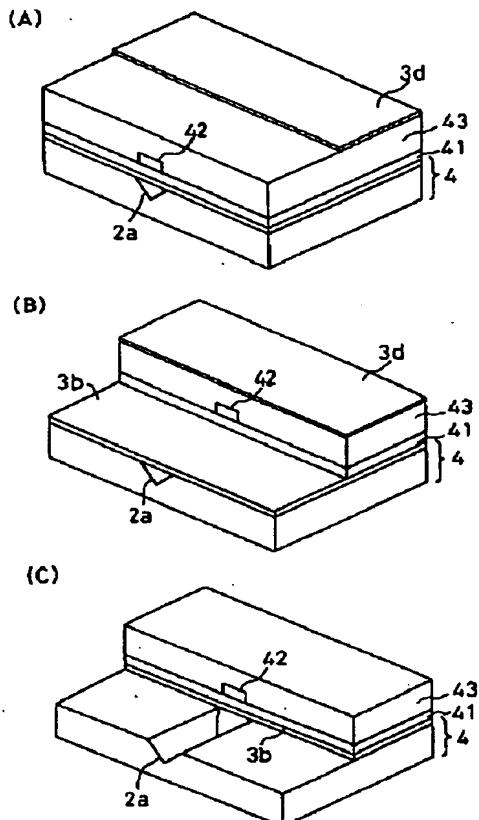
【図 15】

実施例 4



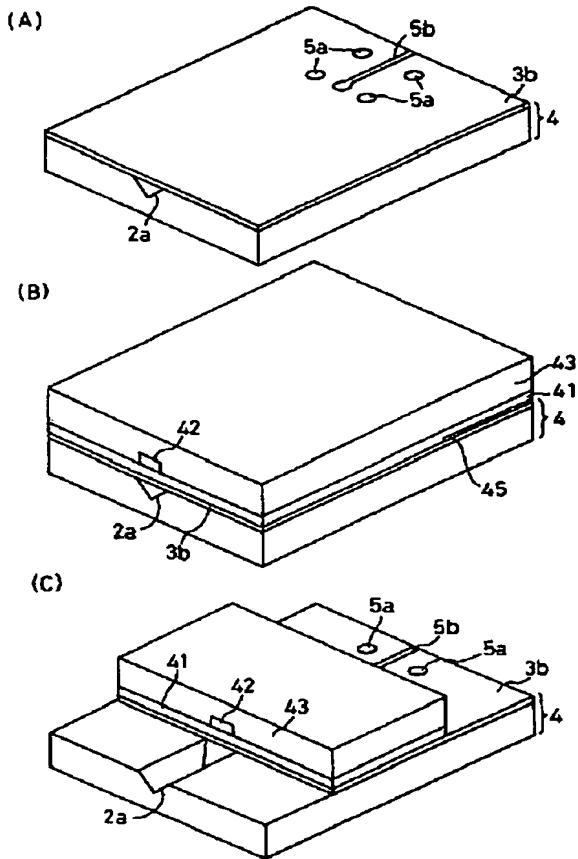
【図 16】

実施例 4



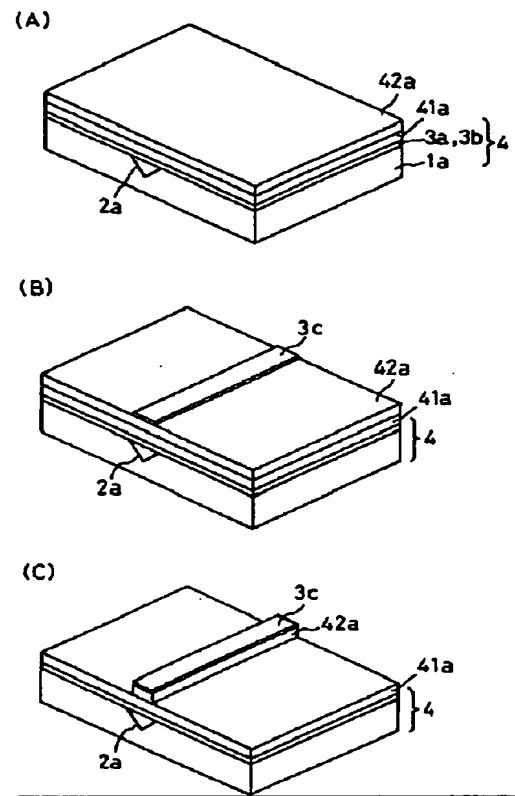
【図 17】

実施例 4 (底用)



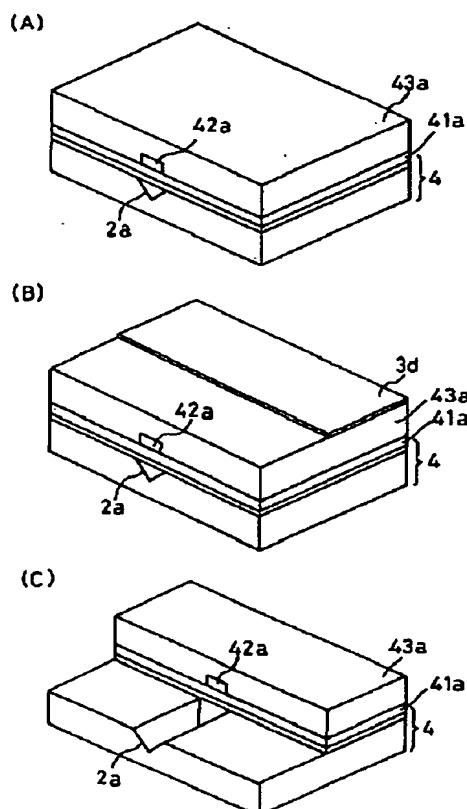
【図 18】

実施例 5



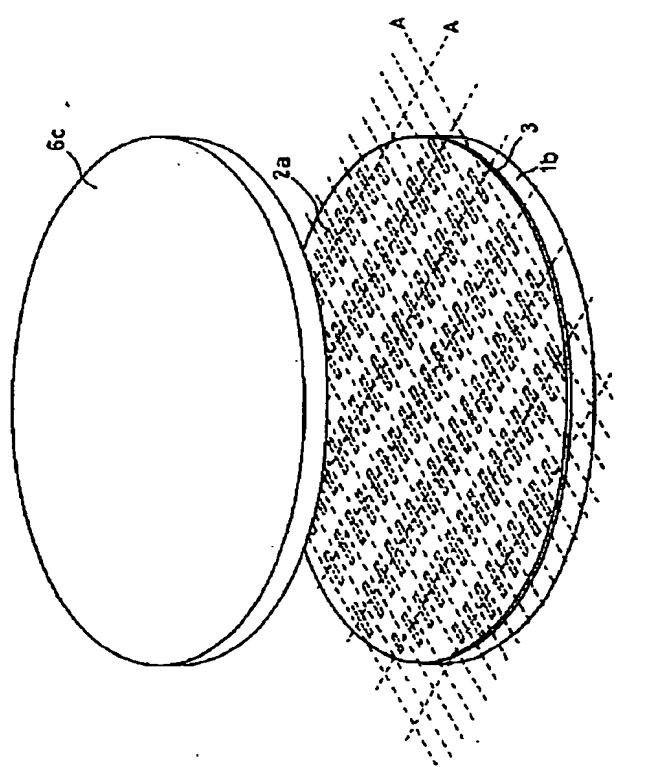
【図 19】

実施例 5



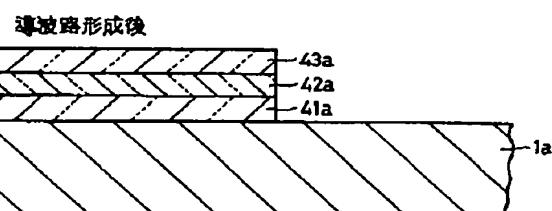
【図 22】

実施例 8

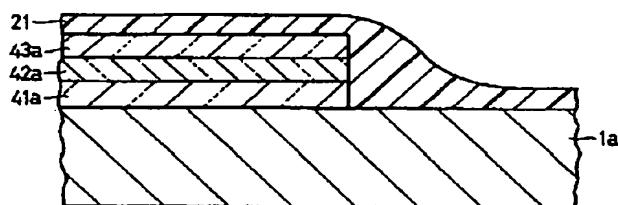


【図 44】

従来例

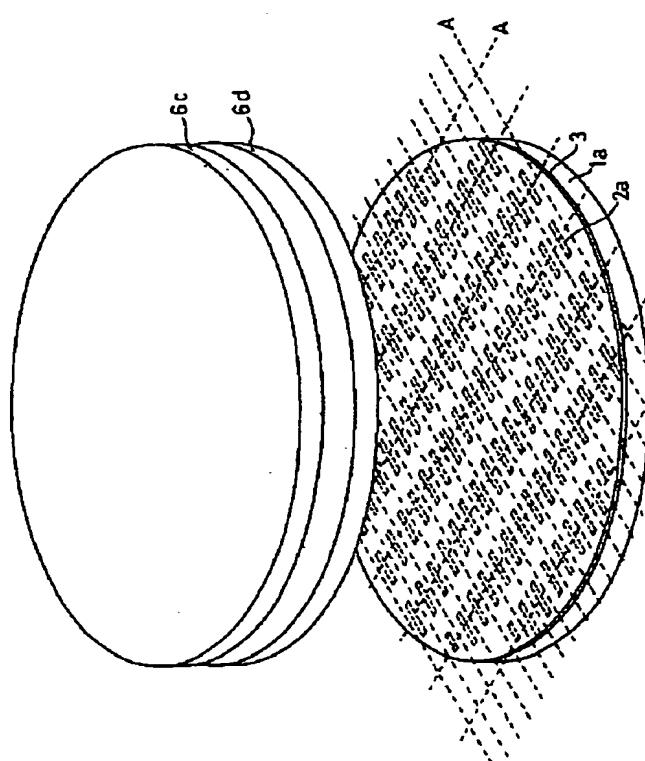


レジスト塗布後



【図 2 3】

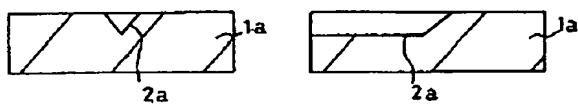
実施例 9



【図 3 4】

実施例 15

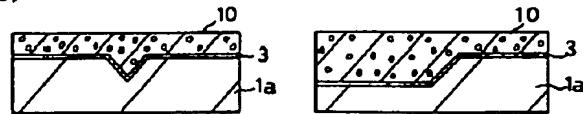
(A)



(B)

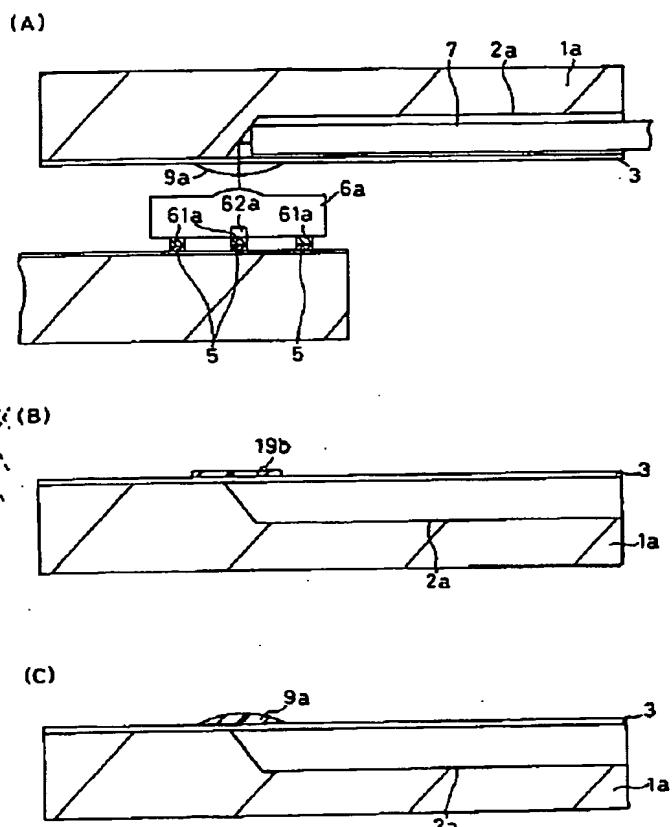


(C)



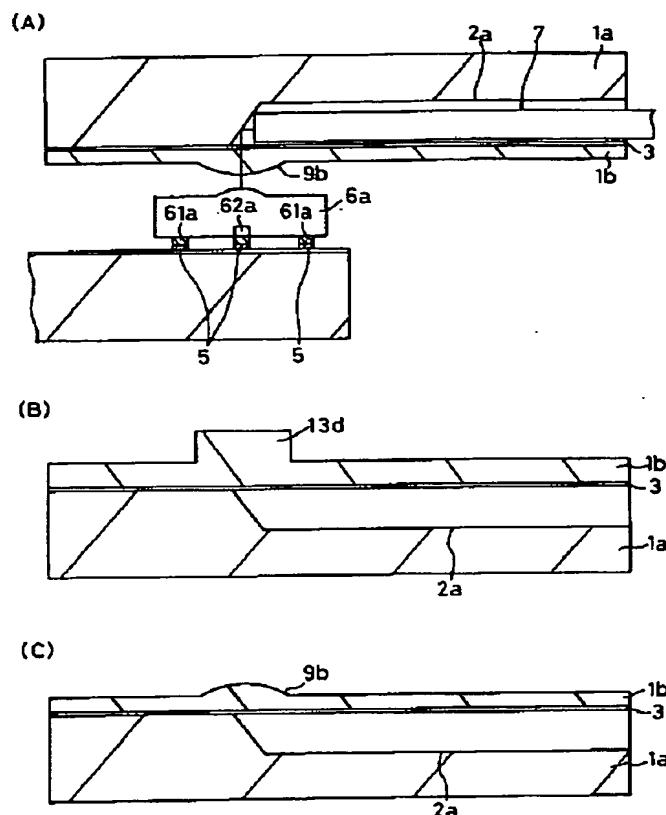
【図 2 4】

実施例 10



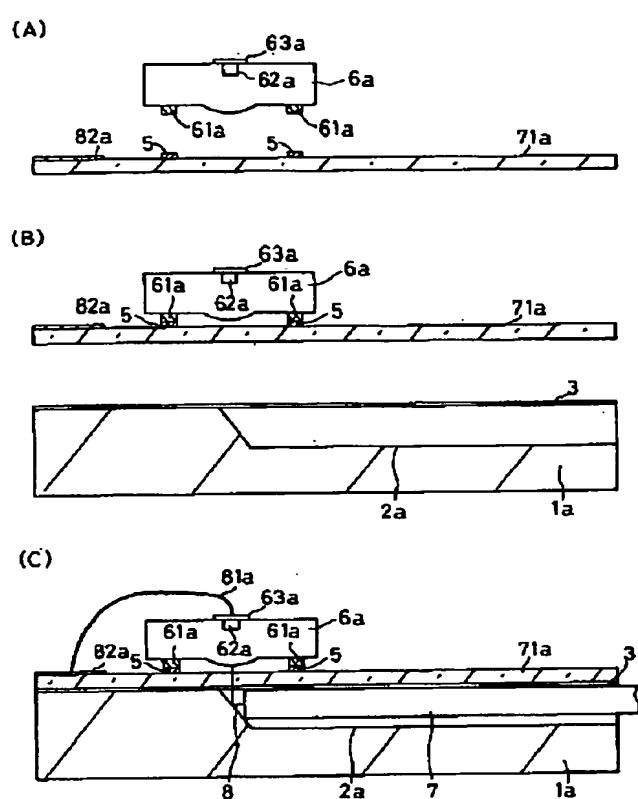
【図 25】

実施例 1 1



【図 26】

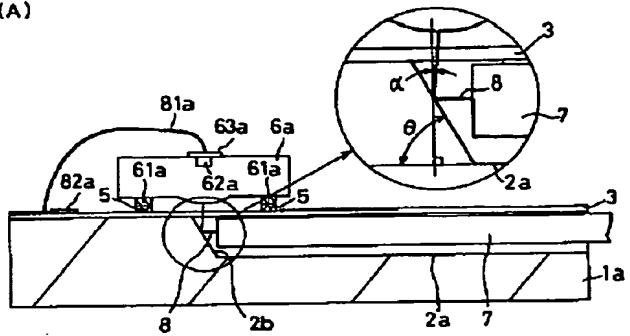
実施例 1 2



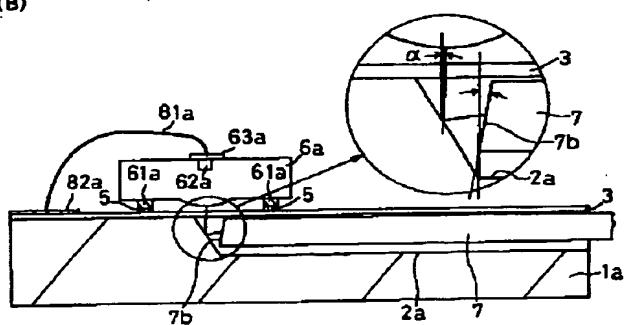
【図 29】

実施例(修正)

(A)

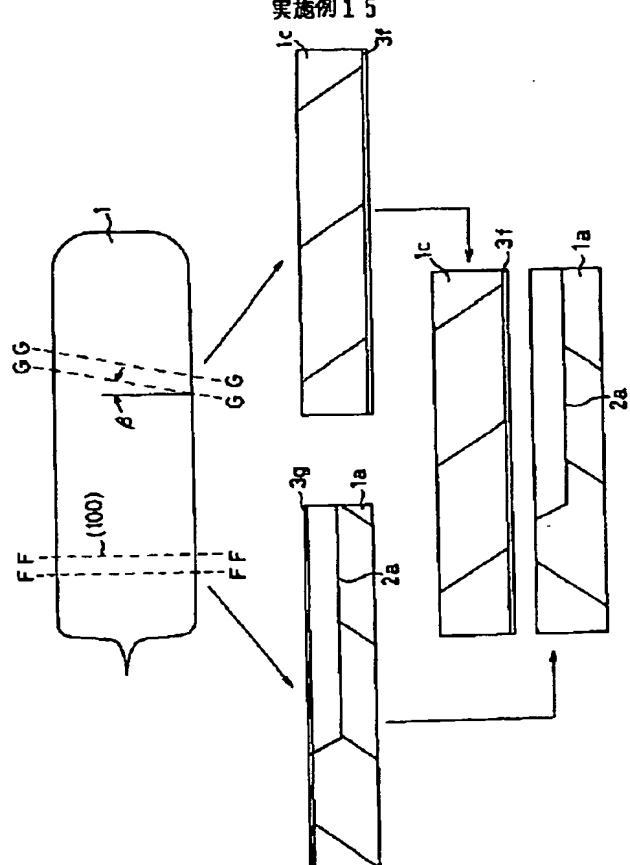


(B)



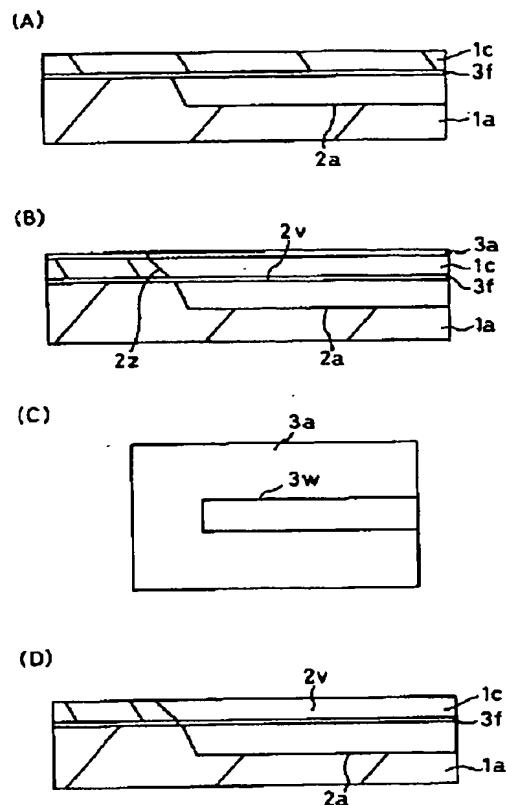
【図 30】

実施例 15



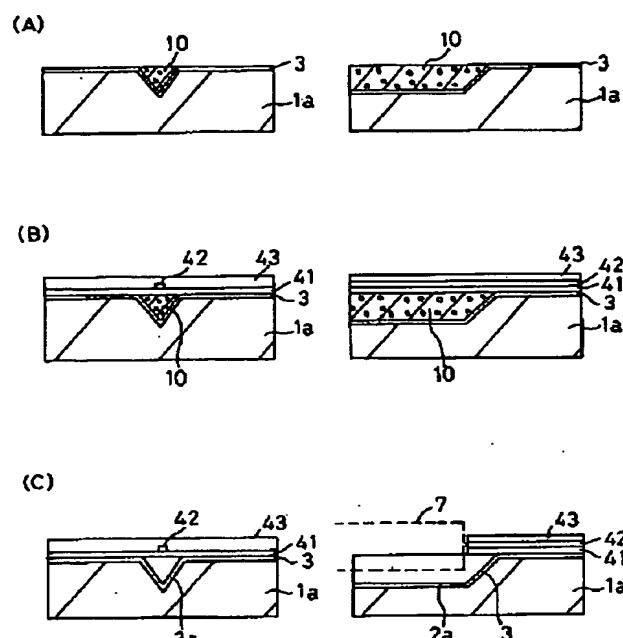
【図 3 1】

実施例 15



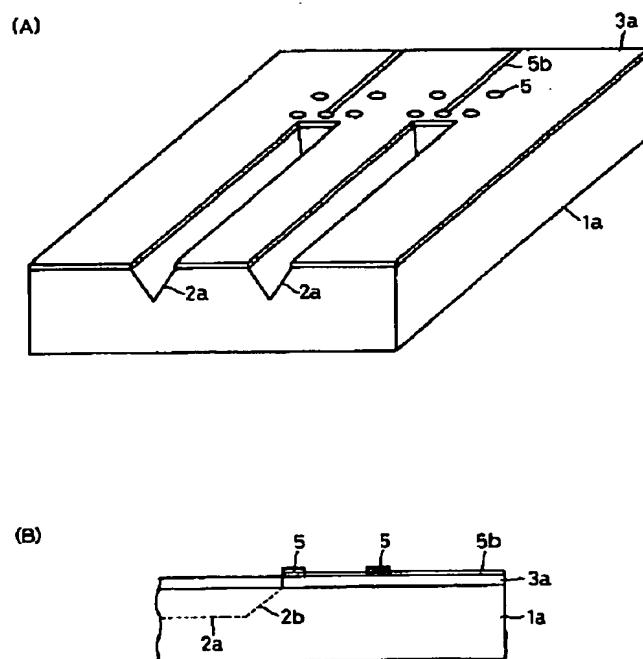
【図 3 5】

実施例 16



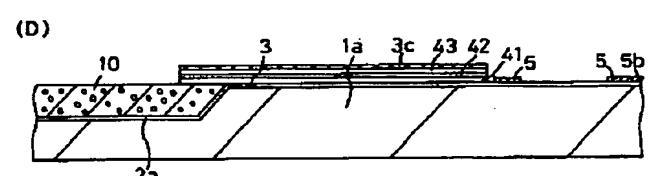
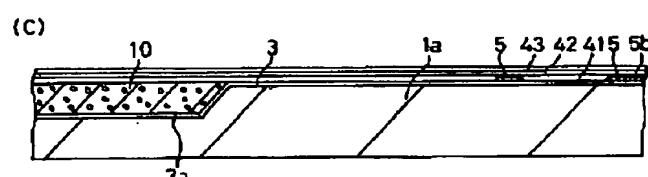
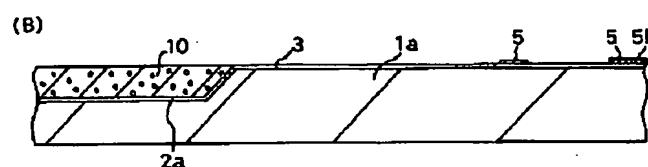
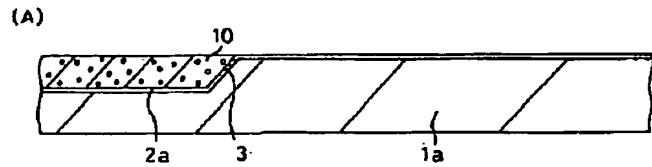
【図 4 0】

従来例



【図 36】

実施例 17



【図 37】

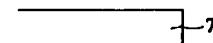
実施例 17

(A)

(B)

(C)

(D)

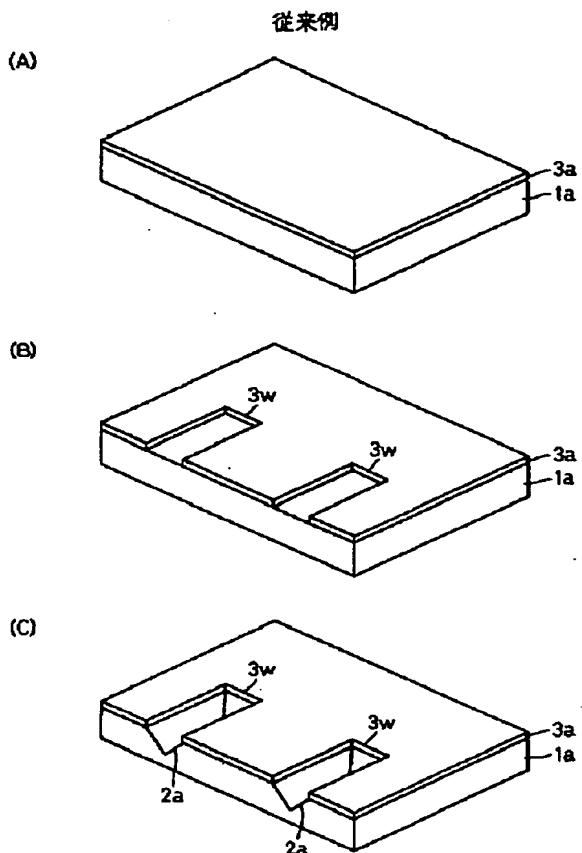


A A

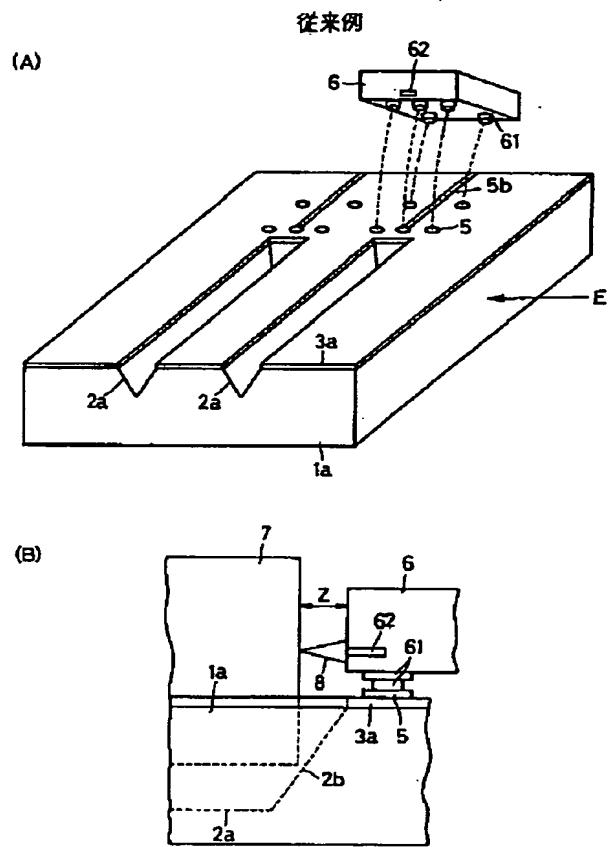
7

43 42 41 3 1a 5 6a 5 5b

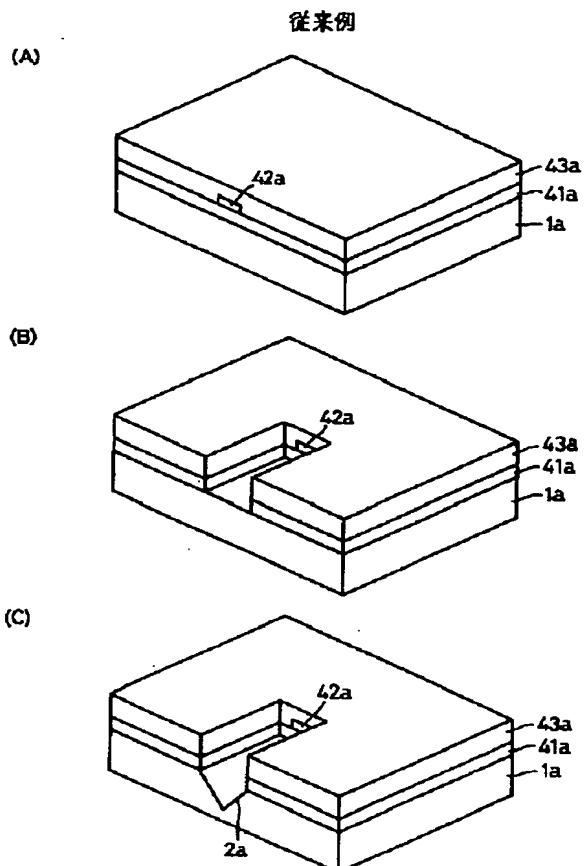
【図 3 9】



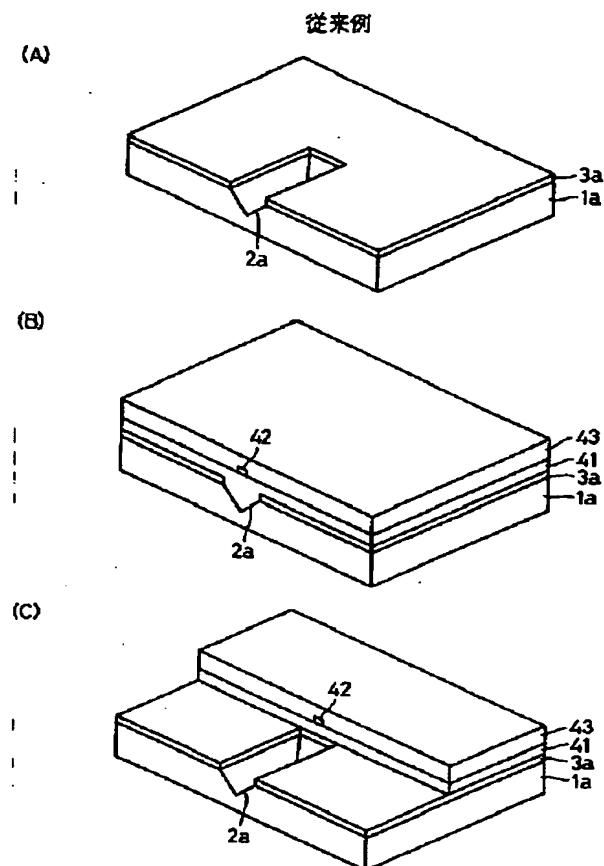
【図 4 1】



【図 4 2】



【図 4 3】



【手続補正書】

【提出日】平成 5 年 12 月 8 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正内容】

【0057】本実施例1の説明では、左右に2、前後に1の2個分に相当する実装基板の加工工程を示しているが、実際にはこのような基板チップが前後、左右に繰り返されている。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0126

【補正方法】変更

【補正内容】

【0126】実施例6について、図20を参照して説明する。SiO₂膜3、V溝2aを備えたシリコン基板1aは、実施例1と同様の方法を用いて作製する。ただし、V溝は光ファイバを完全に収容できる寸法とし、V

溝上のSiO₂膜3は後の工程でも除去しない。バンブ61aを使用してボンディングパッド5上にホトダイオード(PD)6aをフリップチップボンディングする。ホトダイオード6aは、光吸収領域62a、電極63aおよびレンズ64aを有する。電極63aは電流ワイヤ81aによって配線82aに接続する。パッド5の直径は60μm、光ファイバ7の直径は125μm、V溝2aの最上部の開口幅は244μm、SiO₂膜3の厚さは3μm、レンズ64aの直径は80μmである。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0159

【補正方法】変更

【補正内容】

【0159】実施例6～実施例14では、V溝2aの端部斜面で反射された光ビーム8を基板面に対して垂直な光軸で示したが、実際には図29(A)に示すように、垂直にはならず、図示の場合、やや右に傾く。図29(A)の中のθ=54.7度、α=19.4度である。

この傾きを補正するためには、図 29 (B) のように光ファイバ 7 の端面 7 b を斜めにすればよい。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0164

【補正方法】変更

【補正内容】

【0164】次に、V溝 2 a 上の SiO_x 膜 3 f をエッティングする。この時同時に SiO_x 膜 3 a も除去される(図 31 (D))。次に、厚さ 6 μm の酸化膜 3 b のついた Si 基板 1 b を貼り合わせる(図 32 (A))。次に、Si 基板 1 b を除去する(図 32 (B))。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0203

【補正方法】変更

【補正内容】

【0203】そのため、光導波路を形成するためのホトリソグラフィプロセスも、平坦な面上で行なわれるようになる。その結果、導波路とボンディングパッドの相対的位置精度が向上し、光接続が良好になる効果がある。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図 1】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図 2】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の斜視図、平面図および断面図である。

【図 3】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の平面図および断面図である。

【図 4】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の平面図および断面図である。

【図 5】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の平面図および断面図である。

【図 6】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の断面図である。

【図 7】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の断面図である。

【図 8】本発明の実施例 1 による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図 9】本発明の実施例 2 による製造方法を説明するための光学部品実装基板の平面図および斜視図である。

【図 10】本発明の実施例 2 による製造方法を説明するための光学部品実装基板の断面図である。

【図 11】本発明の実施例 3 による製造方法を説明する

ための光学部品実装基板の斜視図および断面図である。

【図 12】本発明の実施例 3 による製造方法を説明するための光学部品実装基板の断面図である。

【図 13】本発明の実施例 3 による製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図 14】本発明の実施例 3 による製造方法を説明するための光学部品実装基板の断面図である。

【図 15】本発明の実施例 4 による製造方法を説明するための光学部品実装基板の斜視図である。

【図 16】本発明の実施例 4 による製造方法を説明するための光学部品実装基板の斜視図である。

【図 17】本発明の実施例 4 による他の実施例の製造方法を説明するための光学部品実装基板の斜視図である。

【図 18】本発明の実施例 5 による製造方法を説明するための光学部品実装基板の斜視図である。

【図 19】本発明の実施例 5 による製造方法を説明するための光学部品実装基板の斜視図である。

【図 20】本発明の実施例 6 による光係合部材の断面図である。

【図 21】本発明の実施例 7 による光係合部材の断面図である。

【図 22】本発明の実施例 8 による製造方法を説明するための Si ウエハの斜視図である。

【図 23】本発明の実施例 9 による製造方法を説明するための Si ウエハおよびシート状光学部品の斜視図である。

【図 24】本発明の実施例 10 による光係合部材の断面図である。

【図 25】本発明の実施例 11 による光係合部材の断面図およびその製造方法を説明するための断面図である。

【図 26】本発明の実施例 12 による製造方法を説明するための光学部品実装基板および光学部品の断面図である。

【図 27】本発明の実施例 13 による光係合部材の断面図である。

【図 28】本発明の実施例 14 による光係合部材の断面図である。

【図 29】光ファイバの端面を斜めにすることによる効果を説明するための光結合部材の断面図である。

【図 30】本発明の実施例 15 による製造方法を説明するためのシリコンインゴットおよび光学部品実装基板の側面図および断面図である。

【図 31】本発明の実施例 15 による製造方法を説明するためのシリコンインゴットおよび光学部品実装基板の断面図および平面図である。

【図 32】本発明の実施例 15 による製造方法を説明するためのシリコンインゴットおよび光学部品実装基板の断面図である。

【図 33】本発明の実施例 15 による光結合部材の断面図である。

【図 3 4】本発明の実施例 1 6 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 5】本発明の実施例 1 6 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 6】本発明の実施例 1 7 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 7】本発明の実施例 1 7 による製造方法を説明するための光学部品実装基板の断面図である。

【図 3 8】本発明の実施例 1 8 による光結合部材の製造方法を説明するための光学部品実装基板、光学部品および光ファイバの斜視図である。

【図 3 9】従来例による光結合部材の製造方法を説明するための光学部品実装基板の斜視図である。

【図 4 0】従来例による光結合部材の製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図 4 1】従来例による光結合部材の製造方法を説明するための光学部品実装基板の斜視図および断面図である。

【図 4 2】他の従来例による光学部品実装基板の製造方法を説明するための基板の斜視図である。

【図 4 3】他の従来例による光学部品実装基板の製造方法を説明するための基板の斜視図である。

【図 4 4】従来例による光導波路付き基板にポンディングパッドを形成する際の問題点を示す断面図である。

フロントページの続き

(51) Int. Cl.⁵

識別記号 庁内整理番号
8523-5K

F I
H04B 9/00

技術表示箇所

W